

Università degli studi di Firenze
Facoltà di Scienze Matematiche Fisiche e Naturali

Tesi di laurea in Fisica

**Sviluppo dell'elettronica digitale
per il sistema tracciante dello
spettrometro PAMELA**

di
Sergio Bruno Ricciarini

Relatore: Dott. Oscar Adriani

**Anno Accademico 2000/2001
23 Aprile 2002**

Indice

Introduzione	i
1 L'esperimento PAMELA	1
1.1 Ricerca di antimateria nei raggi cosmici	1
1.1.1 Positroni e antiprotoni	2
1.1.2 Antinuclei	4
1.2 Il telescopio PAMELA	5
1.2.1 Rivelatori a scintillazione	7
1.2.2 Spettrometro magnetico	8
1.2.3 Calorimetro	16
1.2.4 Rivelatore di radiazione di transizione	17
1.3 Prestazioni del telescopio PAMELA	18
2 Elettronica digitale di PAMELA	21
2.1 Linee di trasmissione digitali	21
2.2 Tecnologia CMOS	23
2.3 Logica di controllo	24
2.3.1 Tecnologia delle logiche programmabili	25
2.3.2 FPGA riprogrammabili	27
2.3.3 Realizzazione di un circuito logico	30
2.4 Effetti delle radiazioni ionizzanti	33
2.4.1 Radiazioni ionizzanti ed elettronica di PAMELA	36
2.4.2 Dose totale assorbita	38
2.4.3 SEU e SEL nelle FPGA del sistema tracciante	39
2.4.4 Contromisure adottate in PAMELA per SEU e SEL	43
3 Logica di controllo del sistema tracciante	45
3.1 Elettronica del sistema tracciante	46

3.1.1	Acquisizione	47
3.1.2	Digitalizzazione	50
3.1.3	DSP	51
3.2	Caratteristiche generali della logica di controllo	55
3.3	Comunicazione fra modulo ADC e modulo DSP	57
3.3.1	Filtro capacitivo e codifica di Manchester	60
3.3.2	Filtro induttivo con componenti attive	62
3.4	Modulo ADC	63
3.4.1	Struttura e sequenza operativa	67
3.5	Modulo DSP	71
3.5.1	Unità di comando	73
3.5.2	Ricevitore	76
3.5.3	Controllore IDMA	80
4	Prove e misure	87
4.1	Misure sull'elettronica digitale	87
4.1.1	Prove in temperatura e tensione	89
4.2	Misure sull'elettronica analogica	90
4.2.1	Amplificazione del segnale in uscita dal VA1	90
4.2.2	Linearità dell'elettronica e codici mancanti	93
4.2.3	Rumore dell'elettronica	98
4.3	Acquisizione di eventi ionizzanti a terra	107
4.3.1	Segnale del <i>cluster</i>	109
4.3.2	Correlazione di carica	110
4.3.3	Rapporto segnale/rumore	112
4.3.4	Caratterizzazione del VA1 nella configurazione operativa di PAMELA112	

Introduzione

Il presente lavoro di tesi è stato svolto nell'ambito della collaborazione internazionale PAMELA, il cui scopo è lo studio della componente di antimateria nei raggi cosmici mediante apparato sperimentale a bordo di satellite.

L'esperimento PAMELA, a cui partecipano membri del Dipartimento di Fisica dell'Università di Firenze e della sezione di Firenze dell'Istituto Nazionale di Fisica Nucleare (INFN), rientra nell'ambito del programma di cooperazione italo-russo RIM *Russian Italian Mission*.

L'apparato sperimentale, un telescopio per raggi cosmici, è formato da un insieme di rivelatori di particelle ionizzanti (scintillatori, spettrometro magnetico, calorimetro, rivelatore di radiazione di transizione) che sarà alloggiato a bordo del satellite russo Resurs-DK1, in volo a partire dalla fine del 2002. Tale apparato è ottimizzato in particolar modo per la misura di antiprotoni e positroni con energie comprese rispettivamente tra 80 MeV e 190 GeV e tra 50 MeV e 270 GeV.

Il gruppo PAMELA di Firenze si occupa della realizzazione dello spettrometro magnetico, ed in particolare dei piani di rivelatori a microstrisce di silicio che costituiscono il sistema tracciante dello spettrometro.

Il mio lavoro di tesi è consistito nello sviluppo dell'elettronica digitale che controllerà le operazioni di acquisizione e memorizzazione dei dati provenienti dai rivelatori del sistema tracciante.

Nel capitolo 1, dopo un'introduzione sullo studio dell'antimateria nei raggi cosmici, descriverò le caratteristiche generali del telescopio PAMELA e dei suoi sottosistemi prestando particolare riguardo al sistema tracciante dello spettrometro magnetico.

Nel capitolo 2 illustrerò la tecnologia delle logiche programmabili (FPGA) utilizzate per la realizzazione della logica di controllo del sistema tracciante di PAMELA. Inoltre descriverò i possibili danni che le radiazioni ionizzanti presenti in ambiente spaziale provocano sull'elettronica e le soluzioni adottate in PAMELA per minimizzarne gli effetti.

Negli ultimi due capitoli viene esposto il mio contributo originale. Una prima parte

del lavoro è consistita nello sviluppo della logica che dovrà controllare i processi di acquisizione, digitalizzazione e memorizzazione dei dati forniti del sistema tracciante. Tale lavoro ha portato alla progettazione, simulazione, realizzazione e infine verifica operativa, mediante prove di laboratorio, della logica stessa. Successivamente, grazie al sistema di controllo digitale realizzato, è stato possibile svolgere una serie di misure per caratterizzare le prestazioni dell'elettronica del sistema tracciante.

Il capitolo 3 presenta inizialmente le funzioni che vengono richieste alla logica di controllo dalla particolare configurazione elettronica del sistema tracciante; successivamente vengono presentate e giustificate le soluzioni da me adottate.

Il capitolo 4 descrive inizialmente le procedure seguite per la verifica della funzionalità della logica di controllo descritta nel cap. 3; in seguito sono esposte le misure che, utilizzando tale sistema di controllo, abbiamo potuto compiere per verificare le prestazioni dell'elettronica del sistema tracciante (linearità degli ADC utilizzati, rumore della catena di acquisizione, rapporto segnale rumore).

Capitolo 1

L'esperimento PAMELA

Lo scopo principale dell'esperimento PAMELA [1] [2] è lo studio della componente di antimateria nei raggi cosmici, in particolare la misura dello spettro energetico di antiprotoni e positroni presenti nei raggi cosmici.

L'apparato di misura è costituito da un telescopio per raggi cosmici, cioè un rivelatore di particelle cariche provenienti dallo spazio, che sarà posto in orbita a bordo del satellite russo Resurs-DK1 alla fine del 2002.

L'esperimento PAMELA fa parte del programma di ricerca RIM *Russian-Italian Mission* che impegna prevalentemente università e istituti di ricerca russi e italiani.

1.1 Ricerca di antimateria nei raggi cosmici

I raggi cosmici sono l'insieme delle particelle cariche che giungono nell'atmosfera terrestre dallo spazio esterno e sono costituiti prevalentemente da protoni (p, 87%), nuclei di He (10%), elettroni (e^- , 2%) e un 1% di nuclei pesanti (cioè con numero atomico $Z > 2$), in primo luogo C, N, O. A parte i raggi cosmici che hanno origine nel sole, il resto proviene dall'esterno del sistema solare (i raggi cosmici galattici).

Particolare importanza da un punto di vista cosmologico riveste lo studio della presenza nei raggi cosmici delle antiparticelle (antiprotoni \bar{p} , positroni e^+ , antinuclei), genericamente indicate come antimateria.

Il concetto di antiparticella fu proposto per la prima volta da Dirac (1928, positrone) nello sviluppo di una teoria quantistica relativisticamente invariante delle interazioni fondamentali; antiparticella e particella si distinguono in primo luogo per l'inversione della carica elettrica. Il positrone fu poi scoperto (fra l'altro proprio nei raggi cosmici) da Anderson nel 1932.

La scoperta dell'esistenza di antimateria ha posto il problema di come giustificare

nell'ambito della teoria cosmologica del *big-bang* il fatto che almeno localmente (come è mostrato dalla stessa composizione dei raggi cosmici) l'universo è chiaramente asimmetrico nella densità di materia e antimateria.

Nel 1967 Sakharov ha dimostrato che un modello cosmologico è in grado di prevedere l'asimmetria locale a partire da una uguale abbondanza iniziale di barioni e antibarioni solo se sono soddisfatte tre ipotesi (condizioni di Sakharov):

- presenza di interazioni che non conservano il numero barionico B;
- violazione delle simmetrie date dalla coniugazione di carica C e dal prodotto CP (P operatore di parità);
- non-equilibrio termodinamico per un certo periodo dell'evoluzione dell'universo.

Particolarmente critica risulta la prima condizione in quanto la violazione di B non è stata finora osservata in nessun esperimento. La violazione di CP è stata invece osservata nel decadimento delle particelle K^0 e \overline{K}^0 .^[1]

Tenendo conto di tali condizioni, sono stati sviluppati due tipi di modelli: globalmente antisimmetrici, in cui l'universo attuale è costituito essenzialmente di materia, oppure globalmente simmetrici, in cui materia e antimateria esistono in quantità uguali ma occupano regioni separate.

Le uniche due possibilità sperimentali per decidere quale dei due modelli rispecchia la reale costituzione dell'universo sono l'analisi indiretta della radiazione γ proveniente dallo spazio oppure lo studio diretto della componente di antimateria nei raggi cosmici: quest'ultimo costituisce l'obiettivo principale dell'esperimento PAMELA.

1.1.1 Positroni e antiprotoni

Le sole sorgenti accertate finora di \bar{p} e e^+ cosmici sono meccanismi di tipo secondario, dovuti cioè alle interazioni dei raggi cosmici primari con il mezzo interstellare.

Per gli \bar{p} la produzione secondaria avviene in interazioni fra p primari di alta energia e p del mezzo interstellare: $pp \rightarrow \bar{p}X$, in primo luogo $pp \rightarrow \bar{p}ppp$. Per quanto riguarda invece la produzione di e^+ essa avviene nei decadimenti di mesoni π e K prodotti in reazioni nucleari.

I modelli convenzionali (ved. ad es. [3] o [4]) per il calcolo del flusso di e^+ e \bar{p} tengono conto solamente di tali sorgenti secondarie e dei meccanismi noti di propagazione nel mezzo

¹La terza condizione è chiaramente soddisfatta: attualmente l'universo non è in equilibrio termodinamico.

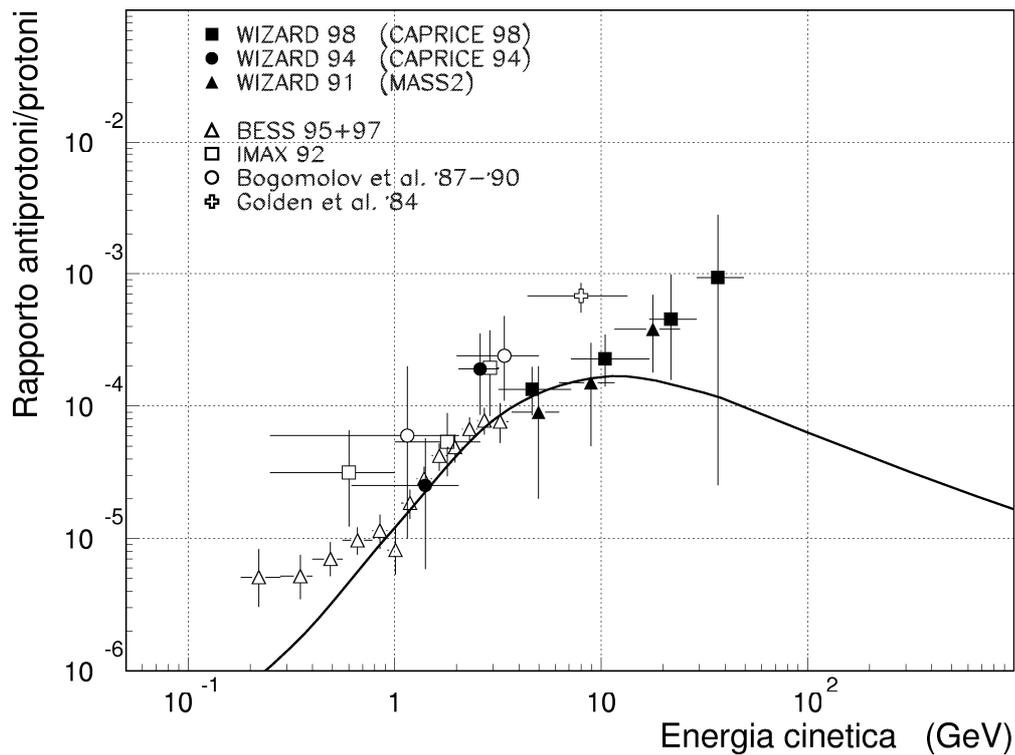


Figura 1.1: misure del rapporto \bar{p}/p in funzione dell'energia. La curva rappresenta la componente secondaria prevista dal modello [3]. I dati sono tratti da [5].

interstellare per prevedere la frazione di e^+ o il rapporto \bar{p}/p in funzione dell'energia (si vedano ad es. le curve in fig. 1.1 e 1.2). D'altra parte varie ipotesi sono state formulate su possibili sorgenti primarie e su nuovi meccanismi propagativi.

I dati attualmente in nostro possesso, ricavati per mezzo di esperimenti a bordo di palloni aerostatici in volo nell'alta atmosfera, coprono un campo di energie limitato ed hanno incertezze statistiche elevate a causa della durata delle misure che non supera in genere le 24 ore, limitata dalla possibilità di permanenza ad alta quota dei palloni. Per tali motivi i dati sperimentali non permettono di trarre conclusioni sicure sulla validità o meno dei modelli convenzionali; in particolare nel limite superiore del campo di energie finora sondate (qualche decina di GeV) il contributo previsto per vari tipi di sorgenti primarie risulta troppo piccolo per essere separato dalla forte componente secondaria.

L'esperimento PAMELA è stato ideato per estendere il campo di energie studiate sia verso l'alto che verso il basso e contemporaneamente ottenere incertezze statistiche considerevolmente minori delle attuali. Quest'ultimo scopo è ottenuto ospitando l'apparato sperimentale di PAMELA a bordo di un satellite; infatti ciò comporta due vantaggi fondamentali sui precedenti esperimenti con palloni: la durata dell'esperimento è aumentata fino ad almeno 3 anni (durata minima del volo del satellite prima di ricadere in atmos-

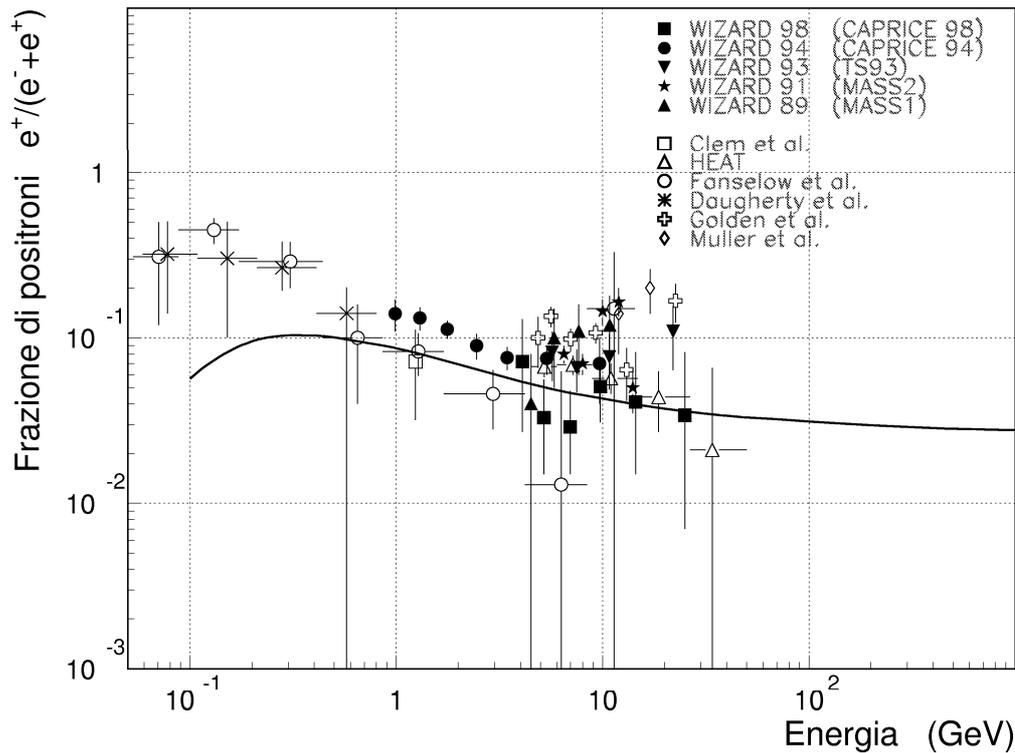


Figura 1.2: misure della frazione di positroni in funzione dell'energia. La curva rappresenta la componente secondaria prevista dal modello [4]. I dati sono tratti da [6].

fera), il che permette di raccogliere una quantità molto maggiore di dati; inoltre il fondo di particelle prodotte dall'interazione dei raggi cosmici in atmosfera è drasticamente ridotto essendo l'orbita compresa fra 300 e 600 km (l'atmosfera si estende fino a circa 40km di altitudine). D'altra parte il volo su satellite presenta la principale difficoltà di dover gestire un esperimento complesso con limiti assai stringenti sulla massa dell'apparato e la potenza assorbita.

PAMELA sarà in grado di rivelare \bar{p} nel campo di energie fra 80 MeV e 190 GeV e e^+ fra 50 MeV e 270 GeV.

1.1.2 Antinuclei

Per quanto riguarda gli antinuclei cosmici il contributo delle possibili sorgenti secondarie è ben al di sotto della sensibilità degli esperimenti finora svolti o in programma. Ciò è dovuto alla massa elevata di tali particelle rispetto a quella protonica.

Gli esperimenti compiuti finora hanno fornito limiti superiori nel rapporto fra la densità di un antinucleo e del nucleo corrispondente, in particolare per $\overline{\text{He}}$ l'esperimento BESS ha fornito il limite $N_{\overline{\text{He}}}/N_{\text{He}} < 0.7 \cdot 10^{-6}$ [7].

È importante estendere la sensibilità delle misure al di sotto di tali limiti superiori

in quanto la rivelazione di antinuclei nei raggi cosmici implicherebbe necessariamente l'esistenza di sorgenti primarie di antimateria, e allo stato attuale delle conoscenze i possibili candidati sarebbero processi di antinucleosintesi primordiale (nelle prime fasi di vita dell'universo) oppure la nucleosintesi stellare in antigalassie (galassie formate da antimateria), previste nelle teorie cosmologiche globalmente simmetriche.

La specie antinucleare più numerosa dovrebbe essere $\overline{\text{He}}$. PAMELA sarà in grado di rivelare la presenza di $\overline{\text{He}}$ con una sensibilità nel rapporto $N_{\overline{\text{He}}}/N_{\text{He}}$ di $3 \cdot 10^{-8}$.

1.2 Il telescopio PAMELA

Un telescopio per raggi cosmici fornisce informazioni utili sulle particelle cariche incidenti permettendo l'identificazione della particella (determinandone massa m e carica q) e la misura dell'impulso e della direzione di incidenza.

In particolare il telescopio PAMELA (ved. fig. 1.3) consiste di:

- uno spettrometro magnetico (magnete e sistema tracciante) unito ad un sistema di misura del tempo di volo (TOF in figura), per la determinazione di $|p|$, della direzione di provenienza e della carica e per l'identificazione (misura di $|v|$) ad energie minori del GeV;
- un calorimetro a immagine per l'identificazione delle particelle ad energie sopra il GeV per cui il sistema TOF non è più efficiente, in grado di discriminare leptoni da adroni di uguale impulso in base al tipo di sciame prodotto; il calorimetro è integrato da un rivelatore di radiazione di transizione (TRD in figura) che permette la discriminazione leptone-adrone osservando l'eventuale emissione di radiazione di transizione, fenomeno che dipende dalla velocità della particella.

Nel caso di telescopio in volo extra-atmosferico la direzionalità dello strumento può essere sfruttata per rigettare efficacemente il fondo di particelle secondarie prodotte dalle interazioni dei raggi cosmici stessi nell'atmosfera terrestre, mantenendo l'orientazione dell'apparato costantemente rivolta in direzione opposta all'atmosfera.

Un fattore di importanza fondamentale nella scelta dell'orbita è il cosiddetto taglio geomagnetico, ossia la forte diminuzione nell'intensità di particelle incidenti spostandosi dalle zone polari verso l'equatore. Tale effetto è dovuto alla forma del campo magnetico terrestre, in prima approssimazione dipolare con l'asse magnetico inclinato di 11° rispetto a quello di rotazione: allontanandosi dai poli magnetici, esso tende sempre più a riflettere

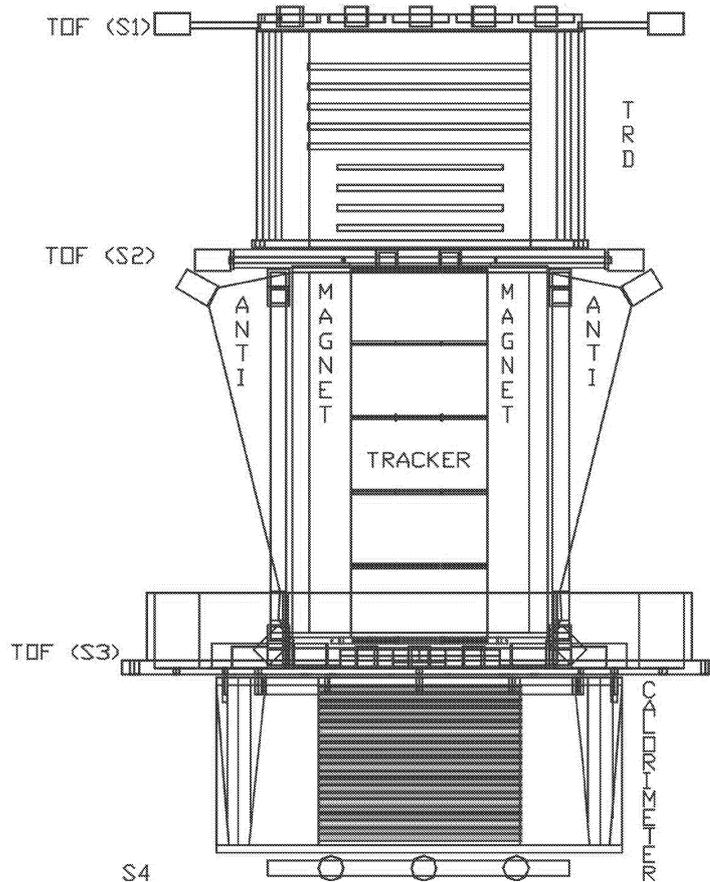


Figura 1.3: struttura del telescopio PAMELA. Si notino: i 3 piani (S1, S2, S3) per la misura del tempo di volo (TOF); all'interno del magnete i 6 piani di rivelatori che costituiscono il sistema tracciante; esternamente a questo i piani di rivelatori di anticoincidenza (ANTI) che integrano il sistema TOF; infine il rivelatore di penetrazione (S4) per le particelle che non si fermano nel calorimetro. L'altezza complessiva è di 120 cm.

verso l'esterno le particelle cariche provenienti dallo spazio, e tale effetto aumenta al diminuire dell'energia della particella.

La scelta è perciò caduta sul satellite russo Resurs-DK1, la cui orbita (inclinata di 70.4° sul piano equatoriale) passa in vicinanza dei poli magnetici; essendo stato concepito principalmente per il telerilevamento della superficie terrestre, il satellite è costantemente rivolto verso la terra; l'apparato PAMELA potrà essere quindi posizionato sul lato opposto in modo da puntare verso lo spazio esterno.

I principali limiti di cui tenere conto nell'ottimizzazione del progetto sono i limiti di massa, volume e potenza disponibile imposti dal volo su satellite, nonché la necessaria robustezza meccanica per resistere agli sforzi a cui l'apparato sarà sottoposto in fase di lancio.

Vediamo adesso in dettaglio le varie parti dell'apparato PAMELA.

1.2.1 Rivelatori a scintillazione

Il sistema per la misura del tempo di volo (in breve TOF da *Time Of Flight*) è composto di 3 coppie di piani rettangolari di rivelatori a scintillazione spessi 5 o 7 mm, distribuiti come segue (ved. fig. 1.3): la prima coppia (S1) al di sopra dell'intero apparato, la seconda (S2) fra TRD e spettrometro magnetico, la terza (S3) fra spettrometro e calorimetro. Le dimensioni dei piani ($40.8 \cdot 33 \text{ cm}^2$ per la coppia S1, $18 \cdot 15 \text{ cm}^2$ per le coppie S2 e S3) sono scelte in modo da essere compatibili con l'accettanza geometrica dello spettrometro.

Ciascun piano di rivelatore è costituito di un numero variabile (da 2 a 8) di strisce di scintillatore plastico (Bicron BC-404) a sezione rettangolare, disposte in modo che per ogni coppia di piani le strisce del piano superiore siano perpendicolari a quelle del piano inferiore.

Il passaggio di una particella carica provoca l'eccitazione delle molecole del materiale che si diseccitano emettendo luce (detta di scintillazione) nella banda ultravioletta; guide di luce raccolgono tale luce alle due estremità di ogni striscia e la trasmettono ad un sistema di tubi fotomoltiplicatori, i quali sfruttando l'effetto fotoelettrico generano un impulso di corrente che l'elettronica di lettura trasforma in un impulso di tensione.

Misurando l'intervallo di tempo fra gli impulsi giunti da piani distanti (risoluzione temporale dell'ordine di 100 ps) e in base alla traiettoria descritta nello spettrometro magnetico si ricava la velocità della particella incidente e inoltre si determina il verso di provenienza in modo da distinguere i raggi cosmici provenienti dall'alto dalle particelle generate dalle interazioni dei raggi cosmici in atmosfera (le cosiddette particelle *albedo*) e incidenti dal basso. Il valore massimo dell'impulso di tensione, a parità di energia della particella incidente, è proporzionale al quadrato della sua carica Z^2 : ciò permette in particolare di discriminare p da nuclei di He.

L'uso di coppie di piani permette di disporre di più misure di tempo di volo indipendenti con l'effetto di migliorare la precisione nella misura; inoltre tale ridondanza, unita alla segmentazione in strisce (ognuna letta indipendentemente), costituisce una garanzia contro eventuali malfunzionamenti.

La rapidità temporale del segnale di scintillazione (tempo di salita dell'impulso in uscita dai fotomoltiplicatori: 1.5 ns) rende il sistema TOF ideale per fornire al resto dell'apparato di PAMELA il segnale di avvio (*trigger*) all'acquisizione e memorizzazione dei dati.

Il sistema TOF è integrato da un insieme di rivelatori a scintillazione detti di anticoincidenza, in grado di rivelare particelle cariche incidenti lungo direzioni al di fuori

dell'accettanza geometrica del rivelatore: si tratta di un contatore posto fra TRD e la coppia S2, dotato di opportuna apertura rettangolare centrale, e di 4 contatori laterali posti all'esterno dei 4 lati del magnete (ved. fig. 1.3). Una apposita sezione di elettronica riceve gli impulsi in arrivo dai rivelatori di anticoincidenza per verificare se il passaggio di una particella nell'accettanza geometrica di PAMELA è accompagnato da altre particelle che sono passate al di fuori dell'accettanza, e ridurre quindi il fondo.

1.2.2 Spettrometro magnetico

L'idea di principio dello spettrometro magnetico è che in una zona con campo di induzione magnetica uniforme diretto, poniamo, lungo l'asse Y ($\vec{B} = B \vec{j}$) una particella carica incidente descrive nel piano XZ un arco di circonferenza il cui raggio di curvatura R è proporzionale a $p_{\perp}/B|q|$, dove p_{\perp} è il modulo della quantità di moto nel piano XZ e q la carica della particella. Conoscendo il valore di B e facendo uso di un sistema tracciante in grado di ricostruire la traiettoria della particella si misura R da cui si ricava il rapporto $p_{\perp}/|q|$. Integrando le informazioni sulla traiettoria fornite dal sistema tracciante con quelle date dal sistema TOF (verso di incidenza) e dalla misura della perdita di energia per ionizzazione nei rivelatori, proporzionale a q^2 , si ricavano la direzione iniziale di incidenza, il segno della curvatura (da cui il segno della carica della particella) e il modulo dell'impulso totale.

Per realizzare il campo magnetico dello spettrometro di PAMELA si fa uso di un magnete permanente^[2].

Il magnete permanente (ved. fig. 1.4) è composto di 5 moduli identici sovrapposti, intervallati da uno spessore di 8 mm per il posizionamento dei piani di rivelatori del sistema tracciante e alloggiati in una struttura di supporto leggera e diamagnetica in Al.

Ogni modulo (ved. fig. 1.5) è costituito da 12 elementi in lega di Nd-Fe-B, magnetizzati uniformemente in direzioni opportune con un campo residuo di 1.30 T, sagomati in prismi retti a sezione triangolare e incollati in modo da formare un parallelepipedo retto alto 80 mm con al centro una apertura rettangolare di area $162 \cdot 132 \text{ mm}^2$ regolata sulle dimensioni del piano di rivelazione.

La particolare configurazione dei prismi magnetici permette di ottenere entro l'apertura un campo notevolmente uniforme diretto in prima approssimazione lungo l'asse che chiameremo Y (esattamente uniforme nel caso limite di altezza infinita) e fortemente ridotto all'esterno del modulo (il cosiddetto campo disperso). Nel caso reale di PAMELA

²L'utilizzo di un più potente magnete a bobine superconduttrici è inattuabile per i limiti di massa e volume imposti dal trasporto su satellite.

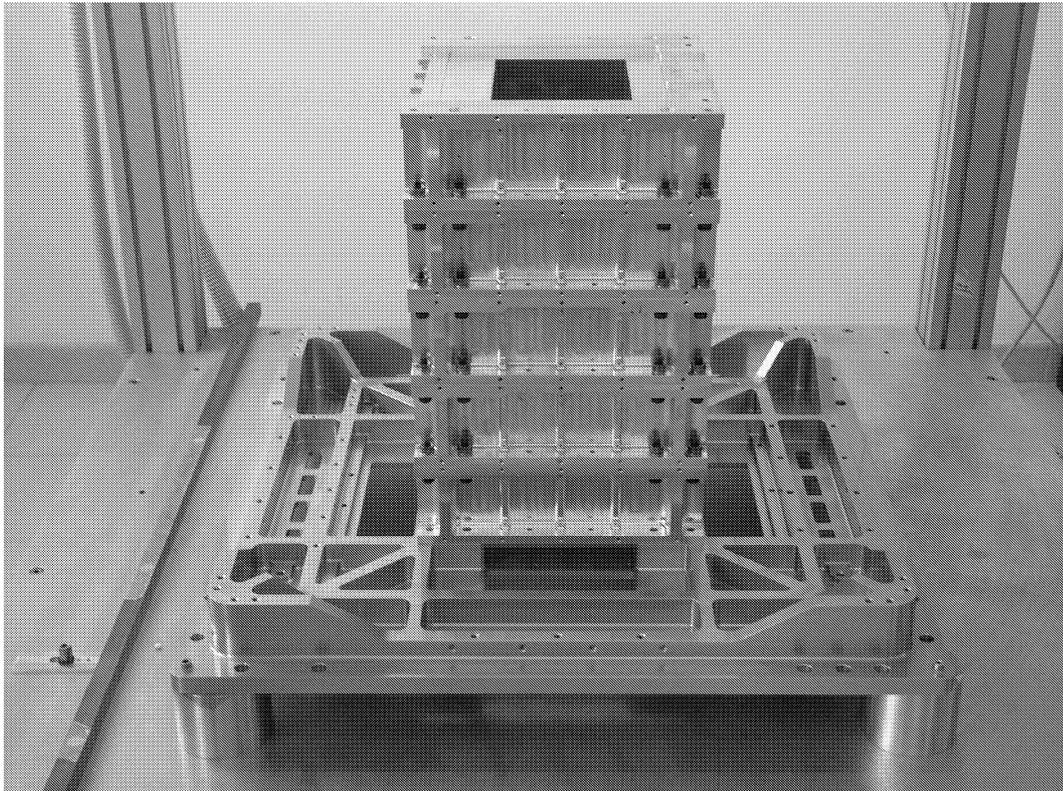


Figura 1.4: veduta dello spettrometro magnetico di PAMELA.

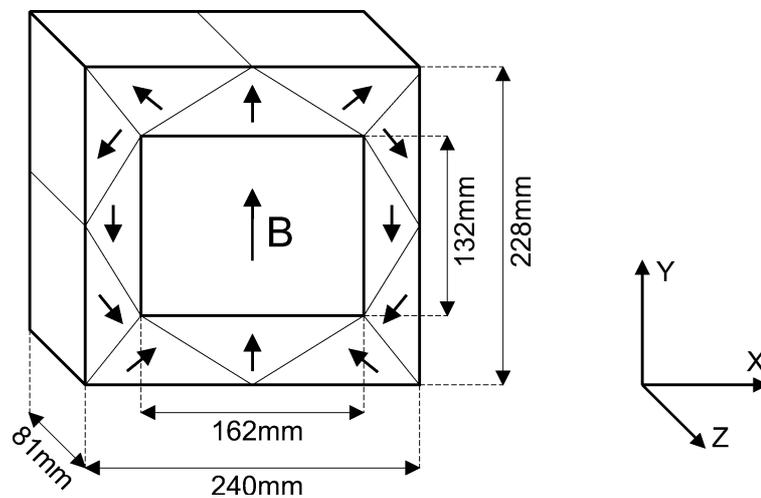


Figura 1.5: uno dei 5 moduli del magnete permanente.

si ha una variazione entro il 10% in ogni piano orizzontale (modulo massimo sui bordi, minimo al centro) mentre la variazione lungo l'asse verticale risulta meno del 50% (massimo nel piano centrale, minimo alle estremità); al centro della cavità il modulo del campo risulta 0.48 T.

Particolare attenzione richiede il campo disperso i cui effetti sono l'interferenza nel funzionamento dell'elettronica (per esempio i fotomoltiplicatori del sistema TOF) e l'in-

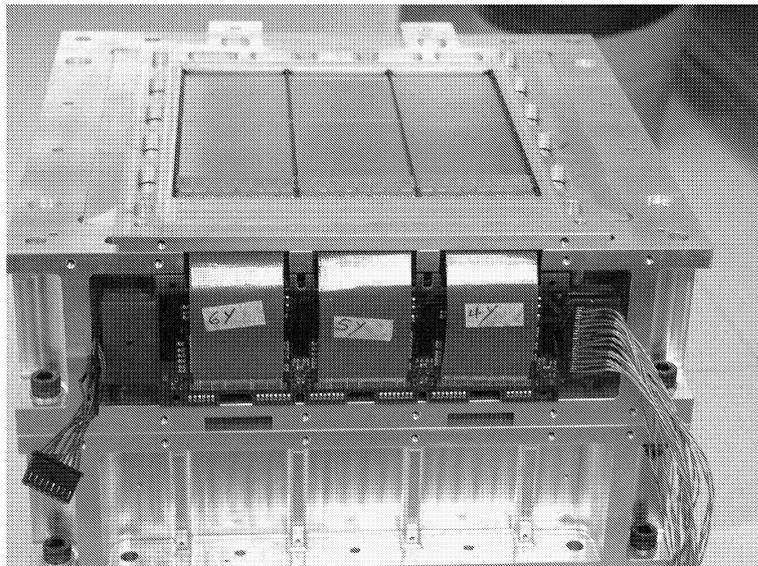


Figura 1.6: un piano completo del sistema tracciante di PAMELA montato sopra il magnete, comprensivo dell'elettronica di secondo stadio.

terazione con il campo magnetico terrestre che porta a modifiche dell'orbita del satellite le quali richiedono correzioni da operare tramite un sistema di bobine che generano campi magnetici opportuni. Per ridurre il campo disperso ad un limite accettabile (non più di 10 G a 50 cm dal centro del sistema magnetico) si fa uso di uno schermo costituito da lastre di materiale ferromagnetico che circondano esternamente l'intero magnete tranne che nella regione superiore e inferiore in corrispondenza della finestra di accettazione geometrica dello spettrometro.

Sistema tracciante

Il sistema tracciante dello spettrometro magnetico è costituito da 6 piani di rivelatori a microstrisce di Si alternati ai 5 moduli del magnete. Come spiegheremo in dettaglio nel seguito, si tratta di rivelatori del tipo a doppia faccia, con doppia metallizzazione sul lato inferiore e con accoppiamento capacitivo integrato, che consentono di ottenere una ottima risoluzione spaziale, dell'ordine di $3\mu\text{m}$.

Ogni piano (ved fig. 1.6) è suddiviso in 3 sezioni identiche (*ladder*) affiancate lungo l'asse X (normale al campo magnetico); ciascun *ladder* è formato da 2 sensori rettangolari e dalla scheda (detta ibrido) contenente l'elettronica di acquisizione.

I 2 sensori e l'ibrido che costituiscono un *ladder* sono incollati fra loro; i 3 *ladder* sono poi integrati in una struttura meccanica di supporto in alluminio.

Ciascun sensore è un cristallo di Si dello spessore di $300\mu\text{m}$ e dimensioni di $70 \times 53.33\text{ mm}^2$ che massimizzano l'area utilizzata nella loro fabbricazione a partire dai cristalli

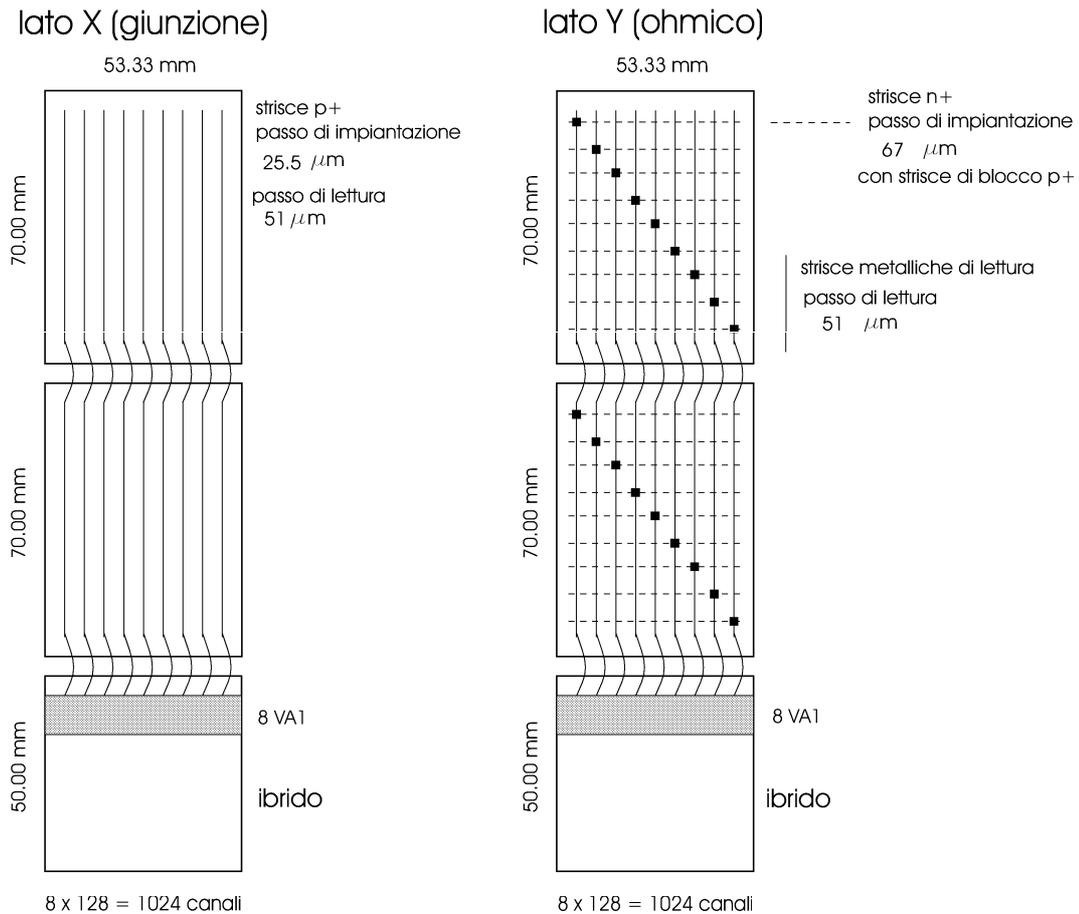


Figura 1.7: struttura di un *ladder*. Sul lato X sono impiantate 2048 strisce p⁺ con interdistanza di impiantazione 25.5 μm e passo di lettura 51 μm; sul lato Y sono impiantate 1024 strisce n⁺ con passo di 67 μm, lette con elettrodi metallici ortogonali con interdistanza di 51 μm.

circolari con diametro di 10 cm disponibili sul mercato alla fine degli anni '90.

La maggior parte del volume del sensore è costituita da un substrato di Si con drogaggio residuo di tipo n ed elevata resistività.

Sulla faccia superiore del sensore sono state impiantate 2048 strisce con drogaggio di tipo p⁺, orientate lungo l'asse Y del campo magnetico, con interdistanza di 25.5 μm (ved. fig. 1.7). Tali strisce realizzano giunzioni p⁺-n con il substrato.

Sulla faccia inferiore sono ricavate 1024 strisce con drogaggio n⁺, dirette lungo X, con interdistanza di 67 μm, alternate ad altrettante strisce di tipo p⁺ (strisce di blocco); il contatto n⁺-n è di tipo ohmico cioè non rettificante.

In condizioni operative fra le strisce n⁺ del lato inferiore e quelle p⁺ del lato superiore è applicata una differenza di potenziale di +80 V tale da contropolarizzare le giunzioni sulla faccia superiore e svuotare completamente il substrato.

Una particella ionizzante che attraversa il sensore perde energia per ionizzazione producendo nel Si coppie e⁻/lacuna; tali cariche libere, sotto l'azione del campo elettrico

nella regione di svuotamento, migrano in direzioni opposte verso le due facce: le lacune vengono raccolte dalle strisce p^+ sul lato superiore, gli e^- dalle n^+ sulla faccia inferiore (con tempi di deriva rispettivamente di circa 30 ns e 8 ns al massimo).

Gli eventi di interesse sono costituiti dall'attraversamento dei sensori del sistema tracciante da parte di una singola particella ionizzante che rientri nell'accettanza geometrica di PAMELA; il sistema TOF è predisposto per fornire al sistema tracciante il segnale di avvio (*trigger*) dell'acquisizione del segnale lasciato dalla particella nei sensori.

Tale acquisizione avviene integrando separatamente sulle singole strisce l'impulso di corrente dato dalle cariche di ionizzazione raccolte, in modo da ricostruire la distribuzione della perdita di energia lungo la direzione normale alle strisce; tramite la media delle coordinate associate alle varie strisce, pesata sulla carica raccolta, si risale quindi alla coordinata corrispondente al punto di attraversamento della particella.

Dal punto di vista della risoluzione spaziale la faccia superiore con le giunzioni p^+-n risulta migliore, in primo luogo per la minore interdistanza fra le strisce impiantate che partecipano alla raccolta delle cariche di ionizzazione ($25.5 \mu\text{m}$ contro $67 \mu\text{m}$ per il lato inferiore). Per questo tale faccia viene usata per la misura della coordinata X, normale al campo magnetico, che è più delicata in quanto serve alla determinazione della curvatura della traiettoria e quindi dell'impulso della particella incidente.

L'uso di un piano con strisce ortogonali su entrambe le facce dello stesso substrato di Si, in alternativa a una coppia di piani di rivelatori a singola faccia (come quelli usati per il caso del calorimetro, descritto nel seguito) presenta notevoli vantaggi per il minor materiale impiegato e la semplificazione della struttura di supporto.

La misura della carica raccolta viene effettuata per 1024 strisce su ciascuna faccia (interdistanza di lettura $51 \mu\text{m}$ sul lato X, $67 \mu\text{m}$ su Y); la risoluzione spaziale che si riesce ad ottenere in questo modo è dell'ordine di $3 \mu\text{m}$ sul lato X e di $13 \mu\text{m}$ per il lato Y. Inoltre in base alla carica totale misurata per le 1024 strisce lette di una faccia si risale alla carica totale depositata nel piano che risulta proporzionale alla perdita di energia per ionizzazione da cui poi si ricava la carica della particella incidente.

La lettura di una striscia avviene tramite un elettrodo metallico in Al esternamente sovrapposto alla striscia per tutta la sua lunghezza e separato da questa mediante un sottile strato isolante di SiO_2 (spessore $0.1 \mu\text{m}$), che realizza un accoppiamento capacitivo (caratterizzato da circa 20 pF/cm). L'accoppiamento capacitivo ha la funzione di evitare di integrare la corrente di saturazione inversa della giunzione p^+-n .

L'integrazione delle capacità nel sensore permette una semplificazione dell'elettronica

di lettura evitando l'uso di circuiti integrati dedicati a tale funzione, ma presenta anche peculiari problematiche.

In particolare durante il processo di deposizione dello strato di SiO_2 sulla superficie del sensore si ha la formazione al suo interno di un sottile strato di cariche positive fisse. Tali cariche attraggono e^- liberi del substrato n all'interfaccia substrato/ossido incrementando localmente la conduttività; la resistenza interstriscia sul lato inferiore (dove le strisce non formano giunzioni con il substrato) risulterebbe di alcuni $\text{k}\Omega$, troppo bassa per evitare la mutua redistribuzione della carica raccolta dalle strisce n^+ e rendendo in pratica impossibile la misura della coordinata Y.

La soluzione sta nell'impiantare fra ogni coppia di strisce n^+ una striscia p^+ di blocco in modo che la giunzione da essa creata con il substrato interrompa la continuità elettrica interstriscia (resistenza introdotta dell'ordine di $10\text{ M}\Omega$).

L'elettronica di primo stadio per la lettura delle strisce di ciascun *ladder* si trova nell'ibrido posto ad una estremità del *ladder*; tale scheda è a doppia faccia in modo da leggere le strisce di entrambe le facce del *ladder*. Concentrando l'elettronica per le due facce del *ladder* sullo stesso supporto si ottiene una struttura più compatta e resistente dal punto di vista meccanico.

Sulla faccia X del *ladder* ciascuno dei 1024 elettrodi di un sensore è saldato al corrispondente elettrodo dell'altro, in modo da costituire 1024 elettrodi di lunghezza doppia.

Sulla faccia Y le strisce n^+ e i soprastanti elettrodi sono diretti lungo l'asse X e quindi per la loro lettura si è reso necessario un secondo livello di metallizzazione con piste dirette ortogonalmente, isolato dal livello sottostante da uno spesso ($5\ \mu\text{m}$) strato di SiO_2 , tranne che in corrispondenza delle connessioni metalliche fra i due livelli, realizzate in modo da associare ad ogni canale del VA1 due strisce distanti fra loro $70\ \text{mm}$ (ved. fig. 1.7).

La ambiguità così introdotta nella misura della coordinata Y non ha alcuna ripercussione sulle prestazioni del sistema tracciante dato che può essere facilmente risolta con l'aiuto degli altri rivelatori.

Il segnale di corrente fornito dalle strisce viene acquisito tramite il VA1 [8], un apposito circuito integrato VLSI caratterizzato da basso rumore e consumo (tipicamente $170\ \text{mW}$), sviluppato presso il CERN di Ginevra e prodotto dalla ditta norvegese IDEAS. Ogni VA1 dispone di 128 catene di acquisizione indipendenti per altrettanti canali di ingresso; un selettore interno permette la lettura sequenziale di tali canali attraverso una linea di uscita comune. Il controllo del circuito VA1 avviene mediante opportuni segnali digitali e verrà dettagliatamente descritto nel cap. 3.

Su ogni ibrido sono montati 8 VA1 per faccia (ogni VA1 copre un'area di $6.18 \cdot 4.51 \text{ mm}^2$) allineati lungo l'asse X; sul lato rivolto verso il sensore adiacente, il VA1 presenta 128 piazzole ad un'interdistanza di $47 \mu\text{m}$ che sono connesse ad altrettanti elettrodi metallici.

Il secondo stadio di elettronica per la amplificazione e digitalizzazione dei segnali provenienti dai VA1 è costituito per ogni piano di rivelazione da 2 schede posizionate verticalmente in prossimità del piano, esternamente alla struttura di supporto dei moduli magnetici e alloggiare in opportune cavità ricavate in tale struttura (ved. fig.1.6). Ciascuna scheda si occupa di una intera faccia del piano ed è suddivisa in 3 sezioni identiche, corrispondenti ai 3 *ladder*; ogni sezione comprende un ADC a cui fanno capo gli 8 VA1 del lato di ibrido corrispondente. Nel seguito tali schede saranno indicate come schede ADC X e Y.

Lo scambio di segnali fra una faccia di ibrido e la sezione corrispondente della scheda ADC avviene mediante linee di trasmissione realizzate deponendo piste di rame parallele fra due strati sottili di kapton (isolante di elevata costante dielettrica), in modo da avere una connessione piatta e flessibile. Ogni coppia di schede ADC si accompagna ad una terza scheda con i circuiti che forniscono le opportune tensioni di alimentazione stabilizzate alle strisce del piano, all'ibrido e all'elettronica di secondo stadio.

Nei capitoli 3 e 4 le caratteristiche dell'elettronica analogica e digitale del sistema tracciante saranno analizzate in dettaglio.

Qui mi limiterò alla descrizione della catena di acquisizione presente entro il VA1 per ciascuno dei 128 ingressi analogici (ved. fig. 1.8).

Catena di acquisizione interna al VA1. La corrente transitoria dovuta alla raccolta delle cariche di ionizzazione costituisce un impulso di breve durata (dell'ordine della decina di ns) che tramite la capacità di accoppiamento C_C giunge ad un preamplificatore di carica, schematizzato in fig. 1.8 da un integratore con la resistenza R_f in parallelo alla capacità di reazione C_f . La tensione all'uscita del preamplificatore compie una rapida transizione da zero al valore massimo proporzionale alla carica totale raccolta, per poi tornare a 0 per la scarica di C_f attraverso la resistenza R_f .

Si noti che la tensione di riferimento o massa per il preamplificatore (e la successiva elettronica di acquisizione) coincide con la tensione di polarizzazione della striscia in modo che la differenza di potenziale ai capi della capacità di accoppiamento risulti zero in assenza di segnale, riducendo al minimo il rischio di scarica nel sottile strato di SiO_2 .

Il segnale del preamplificatore passa ad un formatore CR-RC che realizza un filtro passa-banda (sequenza di un filtro passa-alto e passa-basso). Il segnale in uscita dal

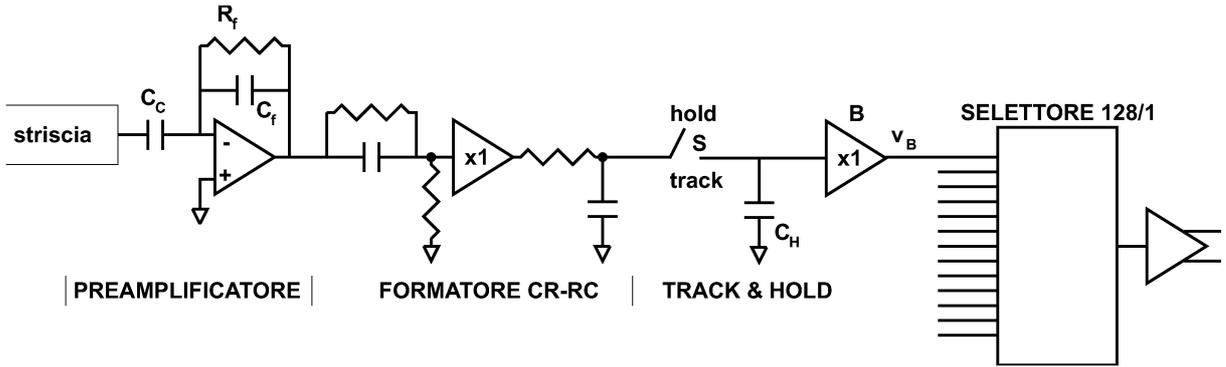


Figura 1.8: schema di principio dell'elettronica per l'acquisizione del segnale di una striscia.

formatore presenta un tempo di salita al valore massimo di circa $1 \mu\text{s}$.

Il successivo circuito *track and hold* riproduce (*track*) con il ripetitore B il segnale del formatore finché l'interruttore S è chiuso; non appena il segnale ha raggiunto il massimo l'interruttore viene aperto da un opportuno comando esterno (sincronizzato con il *trigger* dato dal sistema TOF) e a questo punto, data l'elevata costante di decadimento della tensione ai capi della capacità C_H attraverso la resistenza di ingresso di B, l'uscita v_B viene mantenuta (*hold*) stabile per il tempo necessario alla sua digitalizzazione.

Compressione dei dati

Ogni faccia di un piano di rivelatori invia $1024 \cdot 3 = 3072$ segnali; in tutto le facce sono 12 corrispondenti a 36864 canali. La digitalizzazione comporta 12 bit per canale cioè 54 kB (55296 Byte) di dati per ogni *trigger*.

Considerando una frequenza media attesa di *trigger* dell'ordine di 10 Hz si avrebbero in un giorno circa 44 GB da trasmettere a terra per l'analisi.

D'altra parte la banda messa a disposizione di PAMELA dal satellite Resurs-DK1 ammonta a non più di circa 4 GB al giorno.

Si rende quindi indispensabile ridurre il volume dei dati generati nel sistema tracciante da ogni evento; ciò viene compiuto prima della trasmissione alla CPU principale di PAMELA (detta PSCU) da 12 processori di segnali digitali o DSP (*Digital Signal Processor*), che lavorano in parallelo, ciascuno occupandosi di un'intera faccia di rivelatori; i DSP si trovano su di una apposita scheda di elettronica alloggiata in vicinanza della PSCU.

In occasione di un segnale di *trigger*, tutti i 3072 canali di ciascuna faccia sono letti e i valori digitalizzati dai 3 ADC sono immagazzinati nel DSP corrispondente; successivamente il DSP esegue un apposito programma di compressione per ciascuna delle 3 sezioni

allo scopo di formare un nuovo archivio di dati compresso per la successiva trasmissione alla memoria centrale della PSCU.

1.2.3 Calorimetro

Il calorimetro di PAMELA è del tipo a immagine (*imaging*), in grado cioè di ricostruire la distribuzione spaziale dell'energia rilasciata sotto forma di ionizzazione da parte dello sciame di particelle secondarie prodotte al suo interno da una particella primaria incidente; in base alle caratteristiche di tale distribuzione è in grado di discriminare adroni da e^+ con alte efficienze.

Si tratta di un calorimetro elettromagnetico a campionamento, formato dalla sovrapposizione di 23 moduli a sezione quadrata di area $24 \cdot 24 \text{ cm}^2$; ogni modulo è costituito da uno strato assorbente di tungsteno (W) spesso 2.3 mm in mezzo a due piani di rivelatori a strisce di Si a faccia singola, di concezione analoga ai rivelatori a doppia faccia usati nel sistema tracciante e precedentemente descritti. Ogni piano di rivelazione è composto di $3 \cdot 3$ sensori quadrati di lato 8 cm, spessi $380 \mu\text{m}$; su ogni sensore vi sono 32 strisce con interdistanza di 2.4 mm^[3].

Il calorimetro così realizzato ha spessore totale equivalente a 16 lunghezze di radiazione X_0 e solo 0.9 lunghezze di interazione λ .

Quindi gli elettroni e positroni incidenti interagiscono nel W provocando uno sciame di particelle ionizzanti secondarie; queste a loro volta perdono energia nel Si creando cariche di ionizzazione che vengono raccolte dalle strisce le quali forniscono un segnale proporzionale alla carica raccolta. Viceversa solo una frazione dei protoni e antiprotoni incidenti interagiscono generando sciame adronici.

La distinzione fra e^\mp e p/\bar{p} è basata sulla presenza o meno dello sciame e sul fatto che lo sciame adronico può essere distinto da quello elettromagnetico per la diversa forma (è tipicamente più allargato). In base alla carica raccolta dalle singole strisce in un piano di rivelatore è possibile ricostruire la distribuzione della perdita di energia dello sciame lungo la direzione normale alle strisce; si noti che le strisce del piano superiore di ogni modulo sono ortogonali a quelle del piano inferiore.

La lunghezza di radiazione totale elevata del calorimetro assicura inoltre il contenimento di gran parte degli sciame elettromagnetici generati da e^+ per una ricostruzione

³Si noti che l'interdistanza fra le *microstrisce* del sistema tracciante è di alcune decine di μm ; d'altra parte la scelta operata per il calorimetro è sufficiente ad assicurare la risoluzione spaziale (o granularità) desiderata.

adeguata della distribuzione spaziale e per poterne misurare l'energia totale con buona risoluzione.

Con tale struttura il calorimetro è in grado, per energie delle particelle incidenti superiori al GeV, di discriminare \bar{p} da e^- con un fattore di reiezione di 10^4 (cioè un e^- ogni 10^4 scambiato per \bar{p}) in corrispondenza di un'efficienza di rivelazione degli \bar{p} del 90%; analogamente il fattore di reiezione di p nel campione di e^+ è circa $3 \cdot 10^4$.

Immediatamente sotto il calorimetro è posto un ulteriore piano di scintillatore (S4 in fig. 1.3) spesso 10 mm con la funzione di rivelatore di penetrazione, ossia rivelare particelle che non si fermano completamente nel calorimetro.

1.2.4 Rivelatore di radiazione di transizione

Il rivelatore di radiazione di transizione o in breve TRD (*Transition Radiation Detector*) sfrutta il fenomeno dell'emissione di radiazione elettromagnetica (raggi X ad energie dell'ordine del keV) da parte di una particella carica nell'attraversamento della superficie di separazione fra due mezzi con diversa costante dielettrica.

L'intensità della radiazione emessa dipende principalmente dal fattore di Lorentz $\gamma = E/m$ della particella incidente; per γ inferiori a 10^3 essa aumenta come γ^2 , dopodiché si stabilizza ad un valore di saturazione; in pratica $\gamma = 1000$ costituisce la soglia di emissione. Tale andamento viene sfruttato nel TRD per integrare il calorimetro nella discriminazione \bar{p}/e^- o e^+/p . Infatti, data la differenza nella massa elettronica (circa 0.5 MeV) e protonica (circa 1 GeV), a parità di altre condizioni e^\pm emettono radiazione di transizione ad energie 2000 volte inferiori a quelle per cui diviene importante l'emissione da parte di p e \bar{p} . Nel campo di energie compreso fra 1 e 1000 GeV si ha una efficace discriminazione fra i due tipi di particelle, che consente un potere di reiezione del sistema calorimetro+TRD di PAMELA di $3 \cdot 10^5$ per \bar{p}/e^- e di 10^6 per e^+/p .

Il TRD è posizionato al di sopra dello spettrometro magnetico ed è costituito da 10 strati di radiatore spessi 1.5 cm alternati a 9 piani di rivelazione della radiazione di transizione.

Il radiatore contiene aria e fibre di carbonio lunghe 5 mm e con diametro di $7 \mu\text{m}$ distribuite casualmente con densità uniforme in modo da garantire un gran numero di interfacce carbonio/aria.

Ogni piano di rivelazione è suddiviso in moduli indipendenti: ogni modulo consiste di due file sovrapposte di 16 tubi a cannucchia (*straw tubes*) del diametro di 4 mm e lunghi 28 cm; ogni tubo è un contatore a gas con filo anodico centrale, operante in regime pro-

porzionale, il gas è una miscela di Xe (80%) e CO₂^[4]. I 5 piani più alti sono formati da 4 moduli l'uno; i 4 sottostanti da 3 moduli. In totale si hanno 32 moduli di 32 tubi ciascuno. Ciascun filo anodico è completamente schermato dagli altri grazie al catodo costituito dal tubo circostante in kapton ramato; tale configurazione consente una elevata affidabilità in quanto la deformazione o rottura di un filo non altera il campo elettrico e le prestazioni negli altri tubi.

1.3 Prestazioni del telescopio PAMELA

Le caratteristiche del telescopio PAMELA permetteranno di raggiungere i seguenti obiettivi primari:

- misura dello spettro di p e \bar{p} nel campo di energie cinetiche fra 80 MeV e 740 GeV con riconoscimento del segno della carica fino a 190 GeV;
- misura dello spettro di e⁺ nel campo di energie cinetiche fra 50 MeV e 2 TeV con riconoscimento del segno della carica fino a 270 GeV;
- sensibilità nella misura del rapporto $N_{\overline{He}}/N_{He}$ di $0.7 \cdot 10^{-6}$.

Il limite inferiore al campo di energie rivelabili per p e \bar{p} proviene dal fatto che al di sotto di 80 MeV essi perdono tutta la loro quantità di moto nell'attraversamento di S1 (scintillatore), TRD, S2 e sistema tracciante fermandosi prima dell'ultimo piano di scintillatori S3 senza quindi poter dare *trigger*.

Per e⁺ la perdita di impulso per ionizzazione risulta invece trascurabile rispetto a quella di p/ \bar{p} di corrispondente energia cinetica; d'altra parte la curvatura 1/R della traiettoria nel campo magnetico dello spettrometro risulta inversamente proporzionale alla quantità di moto e in particolare per energie cinetiche al di sotto di 50 MeV e[±] sono deviati sulle pareti interne del magnete.

La misura di energia per p e \bar{p} è limitata superiormente dalla massima rigidità rivelabile da parte dello spettrometro MDR (*Maximum Detectable Rigidity*), definita come la rigidità (modulo dell'impulso/carica della particella) per cui la incertezza relativa nella misura è uguale a 1. L'incertezza relativa nella misura della rigidità dipende dalla geometria del sistema tracciante, dalla intensità del campo magnetico e dalla risoluzione spaziale dei rivelatori; in particolare ad alte energie (oltre 10 GeV il contributo della diffusione multipla nei rivelatori diviene trascurabile) aumenta al crescere della rigidità della particella poiché

⁴La particolare miscela utilizzata presenta un elevato assorbimento (per effetto fotoelettrico) della radiazione di transizione emessa da e[±] (energia dei fotoni nella banda dei raggi X, intorno ai 5 KeV).

la traiettoria tende ad incurvarsi sempre meno aumentando l'incertezza nella misura della curvatura; per PAMELA la MDR risulta di 740 GV/ c . Per e^\mp il limite posto dalla MDR è esteso a 2 TeV dalla possibilità di misurare l'energia direttamente con il calorimetro.

La possibilità di discriminazione fra particella e antiparticella corrispondente è limitata ad alte energie dall'effetto di *spillover*: al crescere dell'energia (e quindi della incertezza nella misura della curvatura) aumenta la probabilità di scambiare una particella per l'antiparticella corrispondente. Tale fondo di *spillover* dipende dal flusso atteso di particelle e uguaglia il numero di conteggi attesi a 190 GeV per gli \bar{p} e a 270 GeV per i e^+ .

Infine affiancando alla misura energetica e all'identificazione della particella incidente la conoscenza della direzione di provenienza e dell'istante di interazione nello spettrometro è possibile investigare altri aspetti della fisica dei raggi cosmici:

- composizione e spettro energetico dei raggi cosmici solari di alta energia (in breve SEP da *Solar Energetic Particles*) emessi in coincidenza con brillamenti^[5];
- modulazione in energia e direzione del flusso di raggi cosmici galattici e SEP nell'eliosfera^[6] e sue correlazioni con il ciclo di attività solare;
- modulazione dovuta alla magnetosfera terrestre e sue variazioni in presenza di perturbazioni del campo magnetico dovute all'attività solare;
- composizione e spettro energetico delle particelle intrappolate nella Anomalia Sud-Atlantica^[7];
- composizione e spettro energetico dei raggi cosmici anomali^[8].

⁵ved. sez. 2.4.1

⁶Per eliosfera si intende la parte di spazio circostante il sole entro un raggio di circa 100 volte la distanza terra-sole, caratterizzata dalla presenza del campo magnetico solare e di un flusso di particelle cariche emesse dalla corona solare e noto come vento solare.

⁷ved. sez. 2.4.1

⁸I raggi cosmici anomali sono atomi parzialmente ionizzati originati dalla interazione dei raggi cosmici galattici con atomi neutri del mezzo interstellare.

Capitolo 2

Elettronica digitale di PAMELA

I principali fattori di cui è necessario tener conto nello sviluppo dell'elettronica di PAMELA sono di seguito elencati.

- Elevata velocità operativa in modo da acquisire il maggior numero di eventi possibile.
- Limitata potenza erogata dal satellite: comporta la scelta di componenti a basso consumo, in genere realizzati con tecnologia CMOS.
- Effetti delle radiazioni ionizzanti.
- Costi.

Purtroppo tali fattori influenzano le scelte in maniera spesso contrastante; ad esempio per aumentare la velocità e insieme limitare le conseguenze di possibili malfunzionamenti dell'elettronica si può incrementare il numero di sezioni che lavorano in parallelo, ma così facendo crescono la potenza assorbita e la spesa totale.

In questo capitolo descriviamo le caratteristiche più interessanti dell'elettronica digitale di PAMELA in relazione a tali problematiche, con particolare riferimento al sistema tracciante.

2.1 Linee di trasmissione digitali

Consideriamo la realizzazione delle linee di trasmissione dei segnali logici in PAMELA; nel sistema tracciante in particolare (ved. sez. 1.2.2) esse connettono le 12 schede degli ADC con la scheda dei DSP e quest'ultima con l'elettronica centrale di PAMELA (PSCU).

Ogni singola linea differenziale (ved. fig.2.1) viene realizzata con la classica coppia di fili intrecciati di impedenza caratteristica $\sim 100 \Omega$ terminati dalla resistenza R_L , la quale per ridurre la parte di segnale che viene riflesso all'indietro deve avere un valore

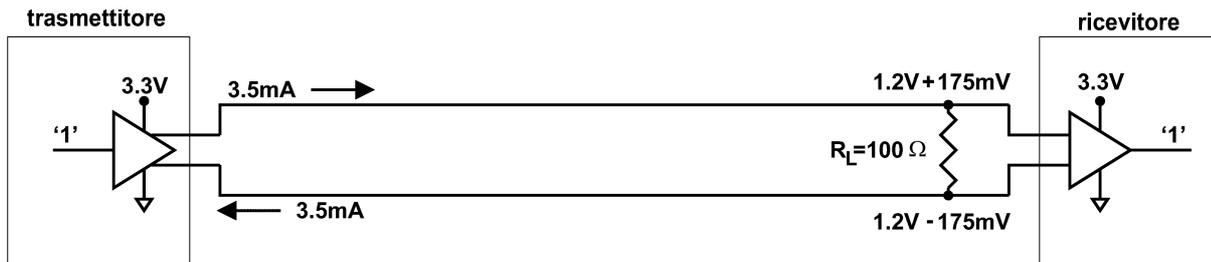


Figura 2.1: realizzazione della trasmissione LVDS su di una linea digitale. In particolare è illustrata la trasmissione dello stato logico 1.

il più vicino possibile all'impedenza caratteristica della linea. Per la trasmissione si è scelto la modalità LVDS (*Low Voltage Differential Signalling*: segnalazione differenziale a bassa tensione) che rispetto ad altre possibilità presenta il minimo consumo energetico e contemporaneamente permette la massima frequenza operativa.

Per realizzare tale modalità di trasmissione si fa uso di apposite componenti integrate quali il trasmettitore DS90LV031A [11] e il corrispondente ricevitore DS90LV032A [11], alimentati a 3.3 V, ciascuno in grado di controllare simultaneamente fino a 4 linee di trasmissione indipendenti.

Il trasmettitore accetta in ingresso i valori di tensione caratteristici della logica CMOS (stato logico 1 per $V_{in} > 2V$, stato 0 per $V_{in} < 0.8V$). Al suo interno vi è un generatore di corrente costante in intensità (tipicamente 3.5 mA) e il cui verso varia a seconda dello stato di ingresso; il circuito di corrente viene chiuso dal lato del ricevitore con la resistenza R_L .

Il segnale di tensione che viene rilevato dal ricevitore (il quale fornisce in uscita gli usuali segnali CMOS) si sviluppa attraverso tale resistenza ed è quindi tipicamente $\pm 350\text{ mV}$ (per $R_L = 100\ \Omega$). La relativa piccolezza della differenza di potenziale ΔV ai capi di R_L permette un'assorbimento limitato (si ricorda che la potenza dissipata è $(\Delta V)^2/R_L$).

D'altra parte la tensione di ciascun capo della terminazione varia di 350 mV fra uno stato e l'altro: la piccolezza di tali variazioni di tensione riduce il tempo necessario a passare da uno stato all'altro aumentando la banda di frequenze di trasmissione possibili.

Con tali dispositivi è possibile ottenere una frequenza di trasmissione superiore a 400 Mbit/s ed un consumo in assenza di segnale di soli 13 mW per il trasmettitore e di 40 mW per il ricevitore (ognuno dei quali comprende, come si è detto, 4 canali indipendenti).

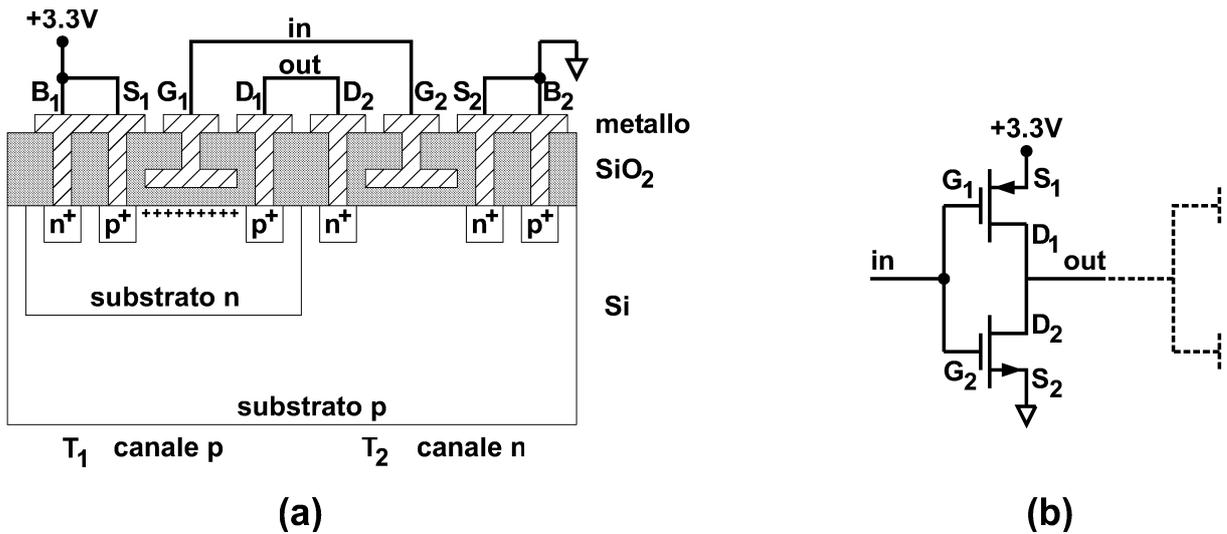


Figura 2.2: (a) invertitore CMOS; è illustrato il caso in cui $V_{in} = 0V$ fa sì che nel MOSFET T_1 si formi il canale di conduzione costituito da lacune (indicate con il simbolo +). (b) Schema circuitale dell'invertitore CMOS; in tratteggio è indicato il carico che può essere costituito da uno o più invertitori CMOS.

2.2 Tecnologia CMOS

La tecnologia CMOS risulta in genere la migliore in termini di velocità operativa, potenza assorbita e area occupata, perciò per realizzare la maggior parte dell'elettronica presente su PAMELA sono stati scelti prevalentemente circuiti integrati CMOS. Conviene descrivere qui brevemente le caratteristiche di tale tecnologia in quanto nel seguito faremo costante riferimento ad esse.

In genere le caratteristiche di una data tecnologia sono ben comprese studiando la struttura logica fondamentale, cioè l'invertitore; in fig. 2.2 è illustrato l'invertitore CMOS alimentato con la tensione tipica di 3.3 V.

Il termine CMOS (da *Complementary* MOSFET) indica l'uso di transistori MOSFET complementari: come si vede in figura i due MOSFET che costituiscono l'invertitore hanno drogaggi esattamente opposti. Il MOSFET (*Metal-Oxide-Semiconductor Field Effect Transistor*) è un transistorore a effetto di campo caratterizzato dalla presenza di uno strato isolante di SiO_2 che separa il terminale metallico di controllo o *gate* (G in breve) dal sottostante substrato di Si drogato.

Analizziamo il comportamento dell'invertitore. Supponiamo che il terminale di ingresso *in* si trovi a 0 V e consideriamo il MOSFET T_1 : essendo l'elettrodo G_1 a 0 V e S_1 a 3.3 V l'accoppiamento capacitivo attraverso l'ossido induce nel sottostante substrato un sottile canale di conduzione formato da lacune che fuoriescono dalle due zone ad alto drogaggio p^+ (per questo tale tipo di MOSFET è chiamato canale-p o in breve PMOS).

Viceversa in T_2 non si ha formazione del canale in quanto l'induzione di carica è inibita dalla contropolarizzazione delle due giunzioni n^+ - p . Di fatto il terminale di uscita *out* si trova elettricamente isolato da S_2 ed in contatto ohmico con S_1 per via del canale di conduzione.

In genere in un circuito digitale CMOS l'uscita *out* di un dato invertitore controlla un certo numero di invertitori tramite i loro terminali di *gate*; la corrente statica I_{out} è molto piccola e di conseguenza è molto piccola anche la caduta ohmica attraverso il canale di T_1 per cui la tensione del terminale di uscita è $V_{out} \simeq 3.3 \text{ V}$.

In maniera del tutto analoga, se l'ingresso è alto l'uscita si trova a 0 V con la formazione di un canale di cariche negative nel MOSFET T_2 (NMOS).

Si noti che in base a tale comportamento l'invertitore CMOS può essere schematizzato come una coppia di interruttori MOSFET tali che se uno è aperto l'altro è chiuso e viceversa.

In un NMOS si ha la formazione del canale di conduzione se la differenza di potenziale fra terminali G e S è maggiore di un certo valore di soglia positivo; analogamente in un PMOS tale differenza di potenziale deve essere minore di una soglia negativa (valore tipico di soglia: $\pm 2 \text{ V}$).

2.3 Logica di controllo

Per realizzare la logica di controllo del sistema tracciante e in genere degli altri sottosistemi di PAMELA conviene far uso di dispositivi specializzati.

In un circuito integrato progettato espressamente per una particolare applicazione (o ASIC, *Application Specific Integrated Circuit*) è possibile ottimizzare le prestazioni in termini di potenza assorbita, area occupata e velocità operativa. Lo svantaggio di una tale soluzione è dato dal fatto che il progetto deciso dall'utente deve essere appositamente realizzato da un produttore, con tempi di attesa dell'ordine dei mesi e costi elevati per circuiti prodotti in un numero limitato di copie.

Una soluzione migliore (quella effettivamente scelta per PAMELA) consiste nell'uso di circuiti integrati programmabili di tipo FPGA (*Field Programmable Gate Array*, matrice di porte logiche programmabile con campi elettrici), la cui funzionalità non è definita all'atto della fabbricazione, ma viene decisa dall'utente e da questo realizzata fisicamente mediante l'operazione di programmazione del dispositivo.

Per un dato progetto le prestazioni ottenibili con una FPGA non possono essere ottimizzate come per un ASIC a causa della struttura fisica di base in parte già defini-

ta, ma risultano in ogni caso soddisfacenti per la realizzazione della logica di controllo in PAMELA. D'altra parte il fatto di utilizzare un modello di dispositivo prodotto in grande quantità permette un costo unitario notevolmente minore dell'ASIC corrispondente e inoltre la possibilità per l'utente di realizzare il circuito progettato in modo del tutto autonomo riduce in modo drastico i tempi di sviluppo.

2.3.1 Tecnologia delle logiche programmabili

Descriviamo in particolare la famiglia Actel A54SX [12] che verrà effettivamente impiegata nella versione definitiva del sistema tracciante. L'area del dispositivo (qualche cm^2) è occupata da una matrice di celle logiche realizzate con la tecnologia CMOS in uno spessore di circa $1\ \mu\text{m}$ su un substrato di silicio alto $300\ \mu\text{m}$. Al di sopra dello strato di celle è presente una rete di piste metalliche su 3 piani che realizzano le connessioni fra celle.

Le celle sono distinte in due tipi (ved. fig. 2.3): C, combinatorie, cioè contenenti combinazioni di AND e OR senza elementi di memoria; oppure R, che includono un registro o memoria a 1 bit, più comunemente noto come *flip-flop*. Le celle sono raggruppate 3 a 3; ogni gruppo contiene una cella di tipo C la cui uscita c (ved. fig. 2.3) è connessa all'omonimo ingresso della cella di tipo R adiacente in modo permanente (connessione di tipo veloce caratterizzata da ritardo di appena 0.1 ns); la terza cella può essere di tipo C o R.

La cella di tipo C (fig. 2.3(a)) dispone di 9 possibili linee di ingresso ed è predisposta per ricevere un massimo di 8 segnali distinti. 4 linee di ingresso ($d0-3$) costituiscono altrettanti bit di dati di un selettore (o *multiplexer*) a 4 bit; altre 4 ($a-b0$, $a-b1$) formano i 2 bit di indirizzo del selettore tramite le porte OR e AND entrambe a 2 bit. Un'ulteriore linea di ingresso (db) va ad un invertitore la cui uscita può essere cortocircuitata (mediante antifusibili, come vedremo) con un qualsiasi numero delle altre linee di ingresso. Con tale configurazione è possibile realizzare in una singola cella di tipo C oltre 4000 diverse strutture logiche.

La cella di tipo R (fig. 2.3(b)) include un *flip-flop* con ingressi \overline{clear} e \overline{preset} per l'impostazione a 0 o 1 rispettivamente. L'ingresso $data_{in}$ è preceduto da due selettori in cascata; uno degli ingressi (c) proviene da una cella C adiacente mediante connessione di tipo veloce.

Per realizzare le linee di trasporto dei segnali di sincronizzazione dei *flip-flop* (segnale *clock* o in breve clk), entro il dispositivo vi sono 3 reti di piste indipendenti ottimizzate in termini di velocità di propagazione del segnale, ciascuna facente capo ad un piedino

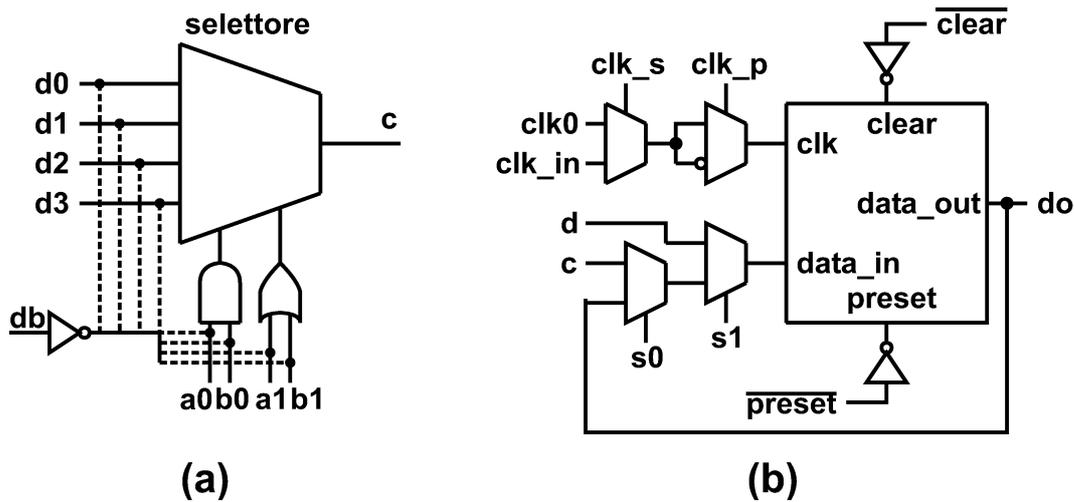


Figura 2.3: (a) Cella di tipo C. (b) Cella di tipo R.

esterno dedicato: $clk0$, $clk1$ e $clk2$.

La linea $clk0$ è connessa permanentemente all'ingresso corrispondente di ogni cella R, mentre i segnali $clk1$ e $clk2$ possono essere collegati (in fase di programmazione) all'ingresso clk_in , o in alternativa clk_in può essere connesso ad una linea non dedicata. Si noti infine che con clk_p è possibile scegliere la polarità della transizione per la quale si ha l'aggiornamento di $data_out$ in una data cella R.

Tranne i casi in precedenza specificati di connessione permanente, tutte le linee di ingresso e uscita delle celle sono potenzialmente collegate fra loro attraverso la rete principale di piste metalliche; una connessione diviene effettiva all'atto della programmazione da parte dell'utente, il che avviene "bruciando" un certo numero di antifusibili che si trovano fra il secondo e terzo piano di piste metalliche.

A scopo esemplificativo in fig.2.4 è riportata la struttura di un antifusibile Actel di tipo polisilicio-diffusione: esso è composto di uno strato di Si policristallino (in breve polisilicio) e di uno strato di Si cristallino con drogaggio di tipo n elevato (n^+), ottenuto con la diffusione di ioni donatori. Fra questi due strati conduttori si trova uno strato isolante sottile (spesso meno di 10 nm) composto a sua volta di 3 sottostrati (SiO_2 , Si_3N_4 , ancora SiO_2) e indicato come ONO (ossido-nitrato-ossido). Normalmente l'antifusibile costituisce un circuito aperto, ma può essere trasformato in una connessione a bassa resistenza (qualche decina di Ω) "bruciandolo" con il passaggio forzato di circa 5mA di corrente; in questo modo infatti in un'area con diametro di circa 20 nm lo strato ONO fonde permettendo la formazione di un canale conduttore fra polisilicio e $Si\ n^+$. Tale connessione una volta realizzata diviene permanente.

L'uso della struttura ONO invece del più comune SiO_2 permette di ottenere la stessa

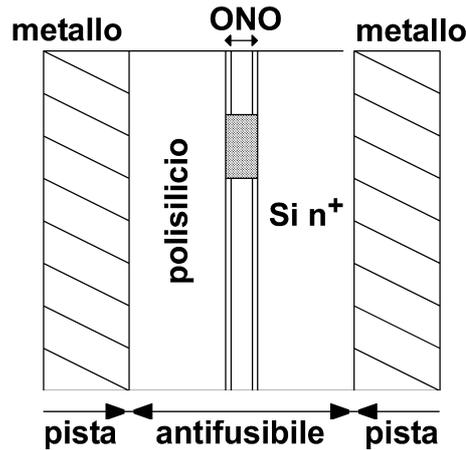


Figura 2.4: antifusibile Actel di tipo polisilicio-diffusione (non in scala). L'eventuale connessione permanente realizzata con la "bruciatura" è rappresentata dall'area in grigio.

resistenza di isolamento con un minore spessore dello strato. Inoltre la resistenza del canale di conduzione che si ottiene con la bruciatura è soggetta a variazioni statistiche da un antifusibile all'altro e tali variazioni sono ridotte per spessori inferiori dello strato isolante.

Il trasporto di un segnale fra una qualsiasi coppia di celle attraverso le piste metalliche richiede il passaggio attraverso un massimo di 5 antifusibili.

Infine la connessione fra le piste metalliche interne ed i piedini esterni del dispositivo avviene attraverso speciali moduli logici configurabili come ingressi, uscite o bidirezionali.

La realizzazione nel dispositivo di una determinata struttura logica (programmazione) viene effettuata dall'utente mediante un apposito dispositivo programmatore. Il programmatore dispone di un alloggiamento su cui porre la FPGA; attraverso i piedini esterni della FPGA invia una serie di impulsi di corrente al suo interno in modo da bruciare un certo numero di antifusibili.

2.3.2 FPGA riprogrammabili

La tecnologia ad antifusibile risulta eccellente per la realizzazione della versione definitiva della logica di controllo in PAMELA ma per limitare costi e tempi nella fase iniziale di sviluppo conviene far uso di FPGA capaci di essere riprogrammate più volte e senza doverle per questo estrarre dalla scheda di elettronica che le ospita.

FPGA riprogrammabili di questo tipo sono ottenute con una struttura del tipo illustrato in fig. 2.5, in cui l'antifusibile fra due piste metalliche è sostituito da un transistor MOSFET T_1 che funge da interruttore (il canale del MOSFET è chiuso o aperto a seconda dello stato logico del terminale G). Lo stato dell'interruttore è memorizzato in una cella

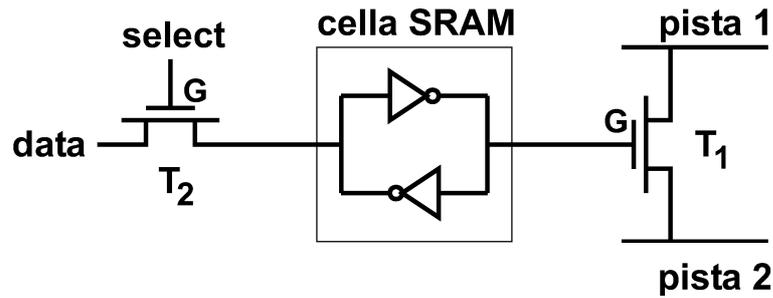


Figura 2.5: antifusibile riprogrammabile realizzato mediante cella SRAM.

di tipo RAM statico (cella SRAM in figura) anch'essa realizzata con MOSFET: un anello di due invertitori CMOS con due soli stati stabili, 1 e 0. La linea *data* è bidirezionale e può essere usata sia per la scrittura che per la lettura dello stato della cella; tale linea è comune a tutte le celle e la funzione dell'interruttore MOSFET T_2 è di selezionare (*select*) la cella il cui contenuto deve essere scritto o letto.

Gli stati logici di tutti gli antifusibili di una FPGA costituiscono il programma di configurazione, che viene memorizzato nella FPGA attraverso piedini esterni dedicati e può essere modificato un numero indefinito di volte.

Un antifusibile riprogrammabile contiene come si è visto 2 invertitori CMOS (pari a 4 MOSFET) e 2 interruttori MOSFET, per un totale di 6 transistori MOSFET, il che comporta una maggiore occupazione di area e potenza assorbita rispetto all'antifusibile ONO. Inoltre l'uso di MOSFET rende l'antifusibile vulnerabile agli effetti delle radiazioni ionizzanti in ambiente spaziale (SEE per gli invertitori CMOS, TID per i MOSFET in genere: ved. sez. 2.4); tali effetti invece non si riscontrano in strutture ONO e simili.

Per tutti questi motivi la FPGA impiegata a bordo del satellite sarà del tipo ad antifusibile non riprogrammabile (famiglia Actel A54SX).

La SRAM è una memoria volatile: una cella di memoria rimane nel suo stato finché viene correttamente alimentata. In particolare ad ogni nuova accensione del circuito che contiene la FPGA è necessario procedere alla riscrittura del programma di configurazione.

Per semplificare al massimo tale fase il programma viene memorizzato su di uno o più dispositivi di configurazione ospitati sulla stessa scheda di elettronica, la cui memoria interna è di tipo *flash* EEPROM e permane anche in assenza di tensione di alimentazione. Una volta che il programma è stato scritto nei dispositivi di configurazione (ed eventualmente nella FPGA), ad ogni successiva accensione del circuito la configurazione della FPGA avviene automaticamente tramite tali dispositivi.

Consideriamo in particolare la famiglia Altera APEX20KE [13] usata nei prototipi del sistema tracciante insieme ai dispositivi di configurazione *flash* EEPROM della serie

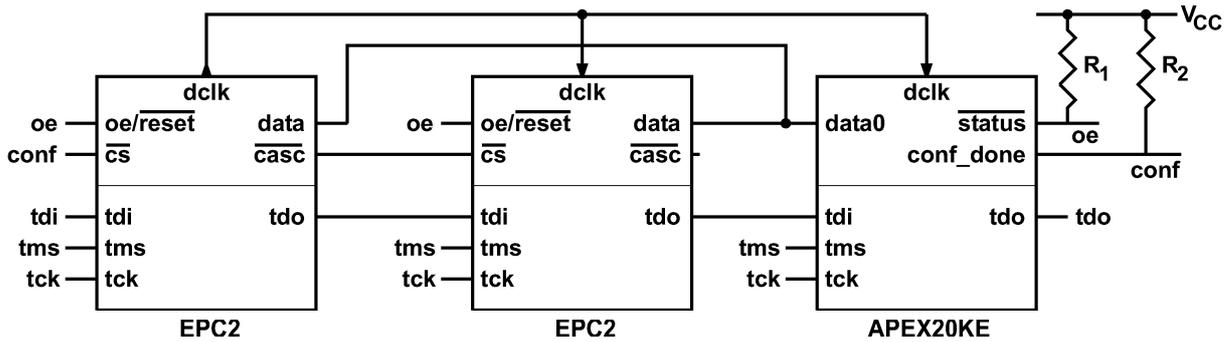


Figura 2.6: catena di dispositivi per la configurazione della FPGA riprogrammabile APEX20KE.

EPC2. Si noti che il numero di EPC2 necessari dipende dalla quantità di celle di memoria entro la FPGA.

Per la scrittura del programma di configurazione i dispositivi APEX20KE e EPC2 sono compatibili con il protocollo di comunicazione seriale JTAG: essi formano una catena (ved. fig. 2.6) in cui i dati passano dall'uscita *tdo* di ciascuno all'ingresso *tdi* del successivo. Il flusso di dati è coordinato da un dispositivo controllore esterno.

Tale controllore è in grado di effettuare la scrittura del programma inviando i dati all'ingresso *tdi* del primo dispositivo della catena; inoltre può ricevere dati dall'uscita *tdo* della FPGA (ultima componente della catena), rendendo possibile fra l'altro il confronto fra il programma presente nei dispositivi di configurazione o nella FPGA e quello in possesso del controllore.

Le altre linee utilizzate dal controllore nel protocollo JTAG sono *tck* per il segnale di sincronizzazione e *tms* per il controllo. In particolare tramite *tms* il controllore rende noto con quale dispositivo ha intenzione di scambiare dati e in risposta a ciò il circuito di ingresso degli altri dispositivi fa in modo che il dato in arrivo su *tdi* venga semplicemente ritrasmesso su *tdo* con il *tck* successivo: in altri termini il dialogo avviene con un solo membro della catena per volta.

Il controllore da me utilizzato per la scrittura è un PC dove risiede il *software* di programmazione fornito da Altera; esso comunica tramite la propria porta parallela a 25 bit: un apposito adattatore (ByteBlasterMV) permette di usare un meno ingombrante connettore a 10 piedini sulla scheda con i dispositivi da programmare.

Quando il programma di configurazione è presente nelle memorie EPC2, ogni volta che viene accesa l'alimentazione del circuito, la configurazione della FPGA avviene in modo automatico. Di seguito riassumiamo le fasi principali di tale procedura.

- All'accensione la FPGA manda basse le proprie uscite *status* e *conf_done* (e quindi gli ingressi *oe/reset* di tutte le EPC2 e *cs* della prima EPC2 della catena). *oe/reset*

basso è il segnale di inizializzazione (*reset*) per le EPC2, in particolare azzera il contatore interno per gli indirizzi di memoria che fa uso del segnale *dclk*. Ciascuna EPC2 dispone di un oscillatore interno che viene connesso alla linea *dclk* solo se al momento dell'inizializzazione \overline{cs} si trova basso; poiché l'uscita $\overline{cas\bar{c}}$ di un EPC2 è normalmente alta ciò avviene solo per il primo EPC2 della catena, che dunque invia il segnale *dclk* a tutti gli altri dispositivi (APEX inclusa).

- Dopo un certo intervallo di tempo la FPGA rilascia (in sincronia con *dclk*) \overline{status} e si dispone a ricevere il programma di configurazione con i successivi *dclk* attraverso l'ingresso *data0*. Per effetto della resistenza R_1 gli ingressi oe/\overline{reset} vanno alti abilitando alla trasmissione (*output enable*) il dispositivo per cui \overline{cs} si trova basso; anche in questo caso dunque viene abilitata solo la prima EPC2 della catena.
- Ad ogni successivo impulso su *dclk* nella prima EPC2 il codice di uscita del contatore interno è incrementato di uno e l'uscita *data* (normalmente nello stato di alta impedenza) riproduce serialmente tutto il contenuto della memoria che viene simultaneamente scritto nella FPGA attraverso l'ingresso *data0*.
- Quando il contatore raggiunge l'ultimo indirizzo di memoria, l'uscita *data* della prima EPC2 torna nello stato di alta impedenza e $\overline{cas\bar{c}}$ va basso, abilitando alla trasmissione la successiva EPC2.
- La FPGA riconosce automaticamente la fine del programma di configurazione e di conseguenza rilascia *conf_done*: l'ingresso \overline{cs} della prima EPC2 va alto per effetto di R_2 dopodiché essa invia ancora un certo numero di *dclk* per ultimare le operazioni di configurazione.

2.3.3 Realizzazione di un circuito logico

Lo sviluppo di un circuito logico da realizzare in una FPGA comporta l'uso di strumenti *software* in genere forniti direttamente dal produttore del dispositivo; tali strumenti in particolare permettono la simulazione in determinate condizioni di lavoro del comportamento interno del circuito che sarà poi effettivamente realizzato in fase di programmazione.

Per la progettazione e simulazione di un circuito logico si utilizza comunemente un linguaggio descrittivo di alto livello specializzato (*Hardware Description Language* o in breve HDL), in particolare il linguaggio VHDL [24] che è attualmente il riferimento adottato a livello internazionale. Mediante tale tipo di linguaggio è possibile specificare il circuito logico dal punto di vista comportamentale (senza scendere necessariamente nel dettaglio

di una descrizione strutturale a livello di porte fondamentali AND, OR, *flip-flop* e simili) caratterizzandolo come un insieme di generiche componenti interconnesse, ciascuna avente interfaccia esterna (linee di ingresso e uscita) e architettura interna in cui viene indicata solo la relazione funzionale fra segnali in ingresso e in uscita.

I linguaggi HDL sono analoghi ad altri linguaggi di programmazione di alto livello non orientati alla descrizione di *hardware* (C, FORTRAN ecc.). La caratteristica distintiva dei linguaggi HDL sta nella possibilità di utilizzare comandi diretti per descrivere lo sviluppo temporale dei segnali nei circuiti logici. Le sezioni del codice HDL che descrivono l'architettura di un dispositivo logico sono configurate come concorrenti: in tali sezioni le assegnazioni che esprimono una variabile in funzione di altre (cioè la relazione fra ingressi e uscite di una componente logica) non sono eseguite sequenzialmente (secondo cioè l'ordine di scrittura) ma parallelamente, tenendo conto dell'eventuale ritardo temporale indicato a margine dell'assegnazione.

È possibile verificare il comportamento della struttura logica creata mediante simulazione: assegnando l'andamento dei segnali di ingresso in un certo intervallo di tempo (stimolo), con l'esecuzione del programma si ricava il corrispondente andamento delle uscite e dei nodi interni. Se l'esito della simulazione non coincide con il funzionamento desiderato, occorre apportare le necessarie modifiche al progetto e simulare nuovamente.

Il *software* di sviluppo fornito dal produttore della FPGA dispone anche di un'alternativa del tutto equivalente alla scrittura diretta di codice HDL strutturale: si tratta di un'interfaccia grafica per la progettazione logica mediante disegno schematico e la creazione di stimoli tramite forma d'onda; la traduzione in codice HDL è automatica.

Progettazione e simulazione logica

Il primo passo nella creazione di un circuito logico consiste nella progettazione e simulazione della architettura logica in modo astratto e indipendente dalle proprietà fisiche del dispositivo su cui verrà poi realizzato il circuito. In particolare nella simulazione a questo livello il ritardo temporale fra la transizione di stato in un nodo e nei nodi funzionalmente dipendenti è privo di contenuto fisico (tempi di propagazione dei segnali) e viene scelto uguale a una costante arbitraria.

Creazione del programma di configurazione

Una volta scelta dall'utente la specifica FPGA su cui realizzare il circuito logico progettato il *software* prepara il programma di configurazione a partire dalla descrizione strutturale del circuito nel formato EDIF comunemente utilizzato per l'interscambio di dati

sui progetti elettronici (*Electronic Design Interchange Format*). Il codice EDIF specifica la struttura del circuito a livello di componenti fondamentali (porte logiche e *flip-flop*), esattamente come il disegno schematico o una descrizione strutturale in HDL.

Il *software* si occupa di trasformare automaticamente in formato EDIF il progetto realizzato dall'utente come disegno schematico o mediante HDL, dopodiché procede alla creazione del programma di configurazione scegliendo quali saranno le celle logiche utilizzate (eventualmente semplificando la struttura nel caso in cui la funzione di più segnali distinti nel progetto possa in pratica essere svolta da un unico segnale comune) e quali i collegamenti fra queste celle, ottimizzando la scelta in funzione della massima riduzione dei tempi di propagazione dei segnali. Durante tale fase è possibile intervenire specificando ad esempio i piedini da utilizzare per le singole linee esterne, il posizionamento delle celle logiche utilizzate, i requisiti sui tempi di propagazione del segnale fra determinati gruppi di ingressi e uscite.

Simulazione temporale

Assieme al programma di configurazione il *software* procede a scrivere una descrizione strutturale in HDL del circuito che tiene conto delle caratteristiche reali del dispositivo, utilizzando i dati a sua disposizione relativi ai tempi di propagazione massimo, tipico e minimo per ciascun possibile cammino nelle possibili condizioni operative.

I tempi di propagazione dei segnali dipendono dalla lunghezza della pista metallica che li porta da una cella logica all'altra, dal numero di antifusibili (o interruttori MOSFET) attraversati, dal numero di celle che usano tale segnale come ingresso eccetera; inoltre cambiano in base alle variabili d'ambiente (temperatura e tensione di alimentazione).

In tal modo è possibile compiere una simulazione realistica del comportamento del dispositivo; in particolare il *software* è in grado di individuare automaticamente tutte le violazioni dei requisiti temporali per la coordinazione dei segnali in ingresso dei *flip-flop* e la presenza di impulsi indesiderati anche di brevissima durata (*glitch*).

Programmazione della FPGA e verifica in laboratorio

Quando la simulazione ha mostrato che il comportamento del dispositivo è compatibile con le attese, si può passare alla effettiva programmazione della FPGA. I dettagli della programmazione sono gestiti dal *software*; essa può avvenire tramite un apposito dispositivo programmatore (è il caso di A54SX) o direttamente nel circuito dove risiede la FPGA (come per APEX20KE).

La corretta operatività del circuito logico realizzato viene infine verificata in laboratorio.

2.4 Effetti delle radiazioni ionizzanti

L'elettronica a bordo di satelliti si trova ad operare necessariamente al di fuori dello schermo naturale costituito dall'atmosfera in un ambiente caratterizzato dalla presenza di radiazioni altamente ionizzanti, i cui effetti negativi sul corretto funzionamento delle varie componenti analogiche e digitali possono essere molteplici.

Qui ci interesseremo degli effetti delle radiazioni ionizzanti sull'elettronica digitale CMOS, in particolare le FPGA su cui è realizzata la logica di controllo [23].

Una prima conseguenza dell'esposizione prolungata a radiazioni è la variazione delle caratteristiche dei dispositivi in relazione all'accumulo della dose totale assorbita o TID (*Total Ionizing Dose*).

Inoltre singole particelle altamente ionizzanti che attraversano una cella di memoria possono causare l'inversione dello stato logico della cella e quindi la perdita dell'informazione in essa contenuta: tale fenomeno è indicato come SEU o *Single Event Upset*.

D'altra parte un singolo evento ionizzante può innescare un meccanismo noto come SCR-*latchup* che porta in breve tempo al danneggiamento irreversibile della parte di circuito interessata: si parla allora di SEL o *Single Event Latchup*.

Dose totale assorbita (TID). La dose totale assorbita è l'energia ceduta dalla radiazione al bersaglio per unità di massa del bersaglio; nel SI si misura in gray (Gy; $1 \text{ Gy} = 1 \text{ J/kg}$), ma in ambito spaziale è di uso più comune il krad ($1 \text{ krad} = 10 \text{ Gy}$).

Irradiando un generico circuito integrato CMOS con flussi di particelle si osserva una variazione delle caratteristiche del dispositivo in funzione della TID; al limite si ha la perdita della funzionalità del dispositivo.

Esaminiamo tutto ciò in dettaglio facendo riferimento alla tipica struttura CMOS sopra descritta (ved. fig. 2.2). Il passaggio di una particella ionizzante (evento singolo) provoca la formazione di un certo numero di coppie e^- /lacuna nello strato isolante di SiO_2 e in particolare nei due MOSFET fra *gate* e zona del canale. Elettroni e lacune sono soggetti a diversi processi: possono ricombinarsi entro il SiO_2 ; per diffusione termica o per trasporto sotto l'effetto del campo elettrico applicato fra *gate* e zona del canale possono raggiungere le interfacce esterne con il *gate* metallico o con il substrato di Si che

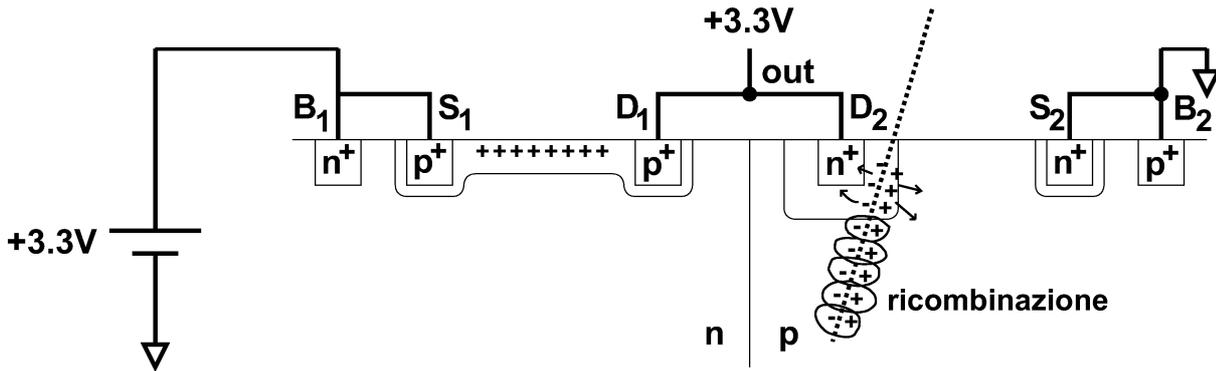


Figura 2.7: effetti del passaggio di una particella ionizzante (linea tratteggiata) in un invertitore CMOS. In questo esempio l'uscita *out* si trova inizialmente nello stato logico 1 (3.3 V).

in genere attraversano; infine una parte delle lacune in corrispondenza dell'interfaccia con il substrato può restare bloccata senza possibilità di ricombinarsi per un fenomeno noto come intrappolamento. Tale intrappolamento può perdurare da poche ore ad alcuni anni, con il risultato che eventi successivi accrescono la quantità di carica positiva accumulata al di sopra della zona del canale.

La carica positiva intrappolata induce cariche negative nel sottostante canale. Per un PMOS (T_1) la formazione del canale p di conduzione non avviene prima della completa rimozione di tali cariche negative: l'effetto è di diminuire la soglia (negativa). Viceversa per un NMOS (T_2) la presenza di cariche negative facilita la formazione del canale n e la soglia (positiva) viene ridotta.

La variazione delle soglie di tensione comporta il cambiamento delle caratteristiche dinamiche dell'invertitore, in particolare tempo di propagazione di una variazione di stato dall'ingresso (*in*) all'uscita (*out*) e consumo energetico durante la transizione di stato.

Al limite anche le caratteristiche statiche dell'invertitore sono alterate; ad esempio se in T_2 la carica negativa indotta è sufficiente a creare il canale, T_2 risulta in conduzione indipendentemente dal valore della tensione di *gate*.

SEU. Consideriamo di nuovo l'invertitore CMOS in fig. 2.2 con l'uscita *out* nello stato logico 1 (3.3 V). La giunzione n^+p fra la zona n^+ del terminale D_2 ed il substrato p risulta contropolarizzata e la differenza di potenziale si sviluppa attraverso la zona di svuotamento (ved. fig. 2.7).

Si noti che con l'uscita nello stato 0 è la giunzione p^+n fra D_1 e substrato n ad essere contropolarizzata.

Quando una particella carica attraversa il Si generando ionizzazione entro la zona di svuotamento contropolarizzata, le coppie e^- /lacuna create sono trasportate in direzioni

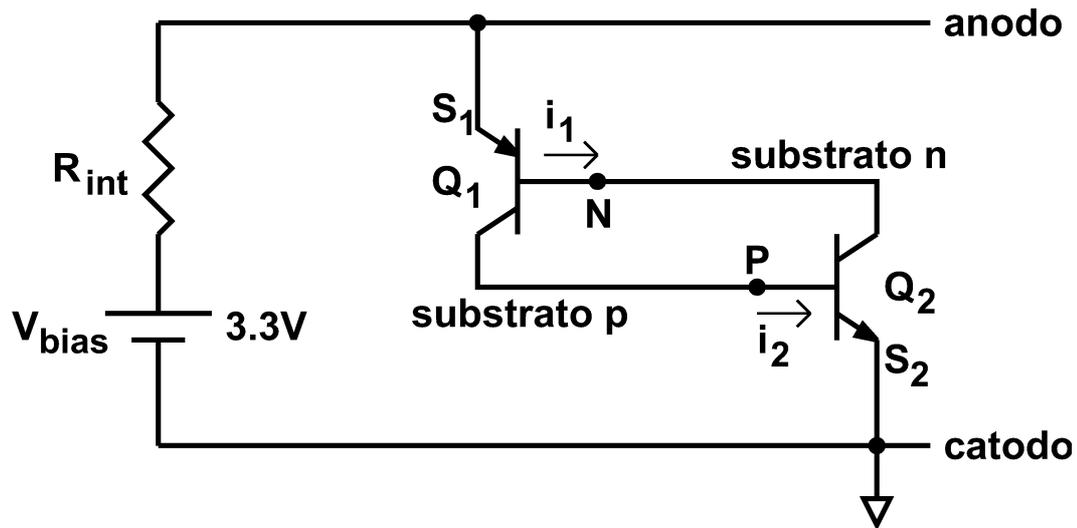


Figura 2.8: Circuito SCR parassita associato all'invertitore CMOS.

opposte dal campo elettrostatico prima di potersi completamente ricombinare: in particolare gli e^- giungono nella zona n^+ dove accumulandosi abbassano il potenziale del terminale D_2 . In risposta a ciò una corrente transitoria positiva attraversa il canale p di T_1 (che costituisce l'unico cammino di corrente possibile) in direzione di D_1 in modo da riportare alto il potenziale di D_2 . La tensione di uscita subisce quindi un impulso transitorio verso il basso; se ciò avviene per l'uscita di un invertitore di una cella di memoria (una cella di memoria SRAM è schematizzata in fig. 2.5) e l'escursione è tale da far scattare l'invertitore accoppiato, la cella cambia stato e si ha un SEU.

Un SEU comporta la variazione dell'informazione presente in precedenza nella cella di memoria e quindi in genere il funzionamento scorretto della logica che utilizza in seguito tale informazione.

SEL. La tecnologia CMOS (ved. fig. 2.2) prevede la presenza del substrato n del PMOS a diretto contatto con il substrato p dell'NMOS; la giunzione così formata è costantemente mantenuta in contropolarizzazione. In conseguenza di tale struttura geometrica i 4 strati di drogaggio alternato fra i terminali S_1 e S_2 costituiscono un circuito parassita il cui schema equivalente (in prima approssimazione) è in fig. 2.8: la giunzione N-P fra i due substrati svolge simultaneamente il ruolo di giunzione base-collettore del transistor bipolare pnp Q_1 con emettitore S_1 e di giunzione collettore-base del transistor npn Q_2 con emettitore S_2 . Tale circuito è chiamato rettificatore controllato a silicio o SCR [9] (da *Silicon Controlled Rectifier*); il nome è dovuto all'uso che ne viene fatto come componente nei circuiti di potenza.

Normalmente nessuna delle 3 giunzioni che costituiscono il SCR (S_1 -N, N-P e P- S_2)

si trova in conduzione. Infatti la differenza di potenziale ai capi della giunzione S_1 -N è 0 visto che gli elettrodi S_1 e B_1 sono cortocircuitati; la situazione è analoga per la giunzione P- S_2 . Il circuito SCR diviene importante nel caso in cui, per una qualche perturbazione, la giunzione di base-emettitore di uno dei due transistori parassiti venga messa in conduzione. Supponiamo che la giunzione P- S_2 sia in conduzione e la corrente entrante nella base di Q_2 (i_2) abbia il valore i ; nel collettore scorre quindi una corrente $i_1 = \beta_2 i$ ($\beta_2 \gg 1$ caratteristico di Q_2), la quale a sua volta attiva la giunzione emettitore-base di Q_1 in modo che il nuovo valore di i_2 risulta $i + \beta_1 i_1 = i + \beta_1 \beta_2 i$. Poiché il fattore $\beta_1 \beta_2$ è maggiore di 1 la corrente tenderà ad aumentare senza limite, incrementando la caduta di tensione nella resistenza interna della rete di alimentazione e di conseguenza diminuendo la differenza di potenziale fra anodo e catodo.

A causa delle differenze di potenziale fra base ed emettitore caratteristiche nello stato di conduzione, il substrato p si trova a circa 0.7 V al di sopra del catodo, mentre il substrato n a circa 0.7 V al di sotto dell'anodo. Si arriva a un punto in cui la tensione fra i substrati p ed n è sufficientemente positiva perché anche tale giunzione entri in conduzione diretta: i due transistori sono ora saturati e il potenziale elettrostatico fra anodo e catodo si stabilizza su di un valore di circa 1 V. Il circuito resta agganciato (*latchup*) indefinitamente in tale condizione e il fenomeno è noto appunto come SCR-*latchup*; l'unica possibilità praticabile per ridurre la corrente una volta raggiunto il *latchup* è interrompere l'erogazione (ad esempio con un interruttore). La corrente erogata dall'alimentatore in *latchup* è $(V_{\text{bias}} - 1 \text{ V})/R_{\text{int}}$; tipicamente risulta dell'ordine di 1 A e le temperature raggiunte nei contatti metallici con il perdurare della condizione di *latchup* fanno sì che questi fondano danneggiando irreversibilmente il circuito.

L'avvio di questo meccanismo rigenerativo può essere dato dal passaggio di una particella ionizzante. Si consideri nuovamente la situazione di partenza in fig. 2.7; mentre il trasporto degli e^- può provocare un SEU, il trasporto delle lacune verso il substrato a tensione 0 V e il loro accumulo innalza la tensione localmente finché a un certo punto la giunzione P- S_2 inizia a condurre con l'iniezione di e^- dalla zona n^+ nel substrato p, innescando il meccanismo di SCR-*latchup*.

Quando un evento ionizzante provoca SCR-*latchup* si ha un SEL.

2.4.1 Radiazioni ionizzanti ed elettronica di PAMELA

Le radiazioni ionizzanti di primario interesse dal punto di vista del danneggiamento dell'elettronica di PAMELA e a cui sarà esposto il satellite Resurs-DK1 lungo la propria

orbita sono costituite da:

- Protoni e nuclei di origine galattica.
- Protoni intrappolati nella fascia di radiazione interna. Infatti i raggi cosmici di alte energie interagendo in atmosfera generano p ed e^- che vengono intrappolati dal campo magnetico terrestre in due bande concentriche che circondano il pianeta e che sono dette fasce di radiazione o di Van Allen dal nome del loro scopritore. In particolare la fascia più interna si estende fino a quote inferiori a 500 km (in corrispondenza della cosiddetta Anomalia Sud-Atlantica) e sarà quindi attraversata dal satellite Resurs-DK1 che viaggia a quote comprese fra 300 e 600 km.
- Protoni e nuclei emessi sporadicamente dal sole in corrispondenza di brillamenti sulla fotosfera o esplosioni sulla corona; tali particelle sono altamente energetiche e note come SEP (*Solar Energetic Particles*).

In fig. 2.9 sono riportati i flussi delle più abbondanti componenti nucleari di origine galattica o intrappolate nella fascia di radiazione, in funzione dell'energia cinetica per nucleone della particella, lungo l'orbita del satellite Resurs e mediati su 200 orbite.

In fig. 2.10 sono riportati i flussi delle principali specie nucleari di origine solare (SEP), mediati su 200 orbite, che si avrebbero con intensità di emissione pari a quelle registrate (mediante strumentazione a bordo di satelliti) durante la settimana dell'ultimo massimo dell'attività solare (1989). I diagrammi sono stati ottenuti mediante il *software* di simulazione CREME96 [15].

Le emissioni di SEP avvengono alla media di 3 per anno e la loro frequenza aumenta in vicinanza del massimo dell'attività solare che si ripete con un periodo medio di circa 11 anni; la durata di un'emissione di SEP varia in genere da diverse ore ad alcuni giorni. Pur interessando intervalli di tempo limitati, l'intensità della radiazione emessa è talmente alta che i suoi effetti sull'elettronica, come vedremo, sono di entità comparabile a quelli dovuti alle altre componenti.

Osservando i diagrammi si nota che i flussi tendono in linea di massima a diminuire con l'aumentare di Z e tale andamento generale è osservato anche per le specie nucleari non rappresentate in figura. D'altra parte il potere ionizzante della particella, espresso dalla LET^[1], aumenta come Z^2 per cui una previsione corretta richiede di considerare tutte le specie nucleari.

¹La LET (*Linear Energy Transfer*) è la perdita di energia per unità di spessore di materiale attraversato dalla particella incidente.

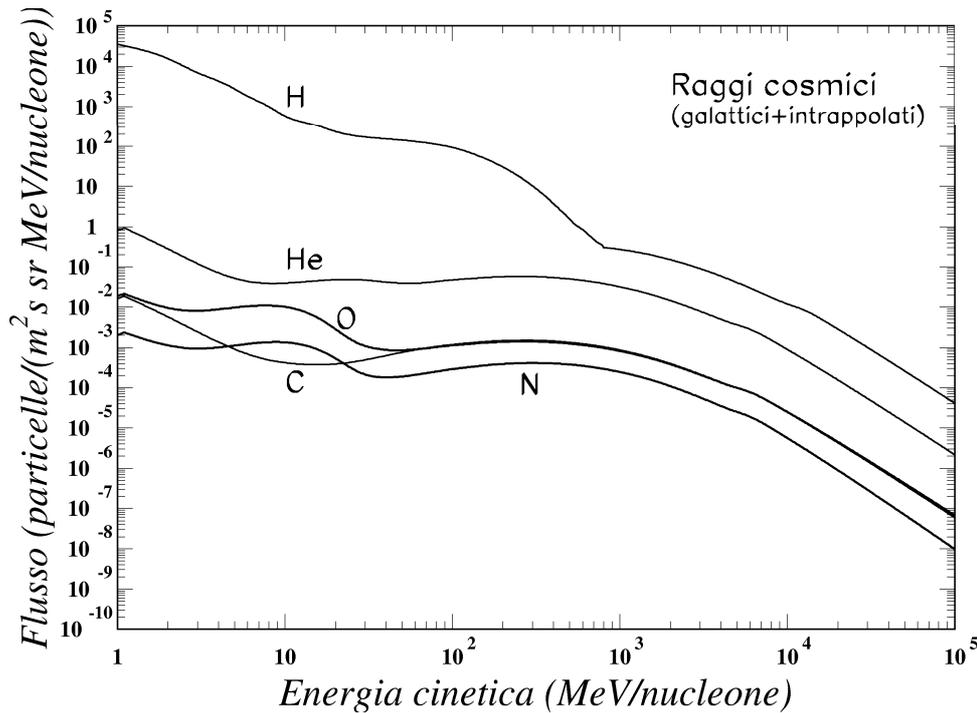


Figura 2.9: flussi delle principali componenti nucleari (di origine cosmica o intrappolate nella fascia di radiazione), mediati su 200 orbite del satellite Resurs-DK1.

2.4.2 Dose totale assorbita

Mediante il *software* CREME96 [15] è possibile eseguire un calcolo della TID, dovuta a p e nuclei, assorbita dall'elettronica di PAMELA in 3 anni lungo la sua orbita; in tale calcolo si è considerata anche la presenza dell'involucro esterno del satellite Resurs-DK1 (uno strato di Al spesso 2 mm).

Si trova un contributo complessivo di p e nuclei galattici e intrappolati di $4 \cdot 10^{-1}$ krad, mentre per i p e nuclei originati dall'attività solare (SEP) si prevede un contributo di $5 \cdot 10^{-1}$ krad supponendo di avere in 3 anni di volo 10 giorni effettivi di attività con l'intensità media misurata nella settimana di massimo del 1989. Non ci dobbiamo quindi aspettare una TID complessiva superiore a qualche krad.

Basandosi su tale previsione, si è operata la selezione delle componenti elettroniche di PAMELA, provvedendo ad irradiare i candidati con fasci di γ di energia nota, di cui è possibile calcolare la dose assorbita nel Si nell'unità di tempo. Le caratteristiche delle componenti sono state misurate prima dell'irradiazione e dopo intervalli di tempo prefissati di irradiazione, corrispondenti a 1, 2, 10, 30 krad di dose assorbita. Le componenti elettroniche scelte soddisfano tutte il requisito minimo di non presentare variazioni sig-

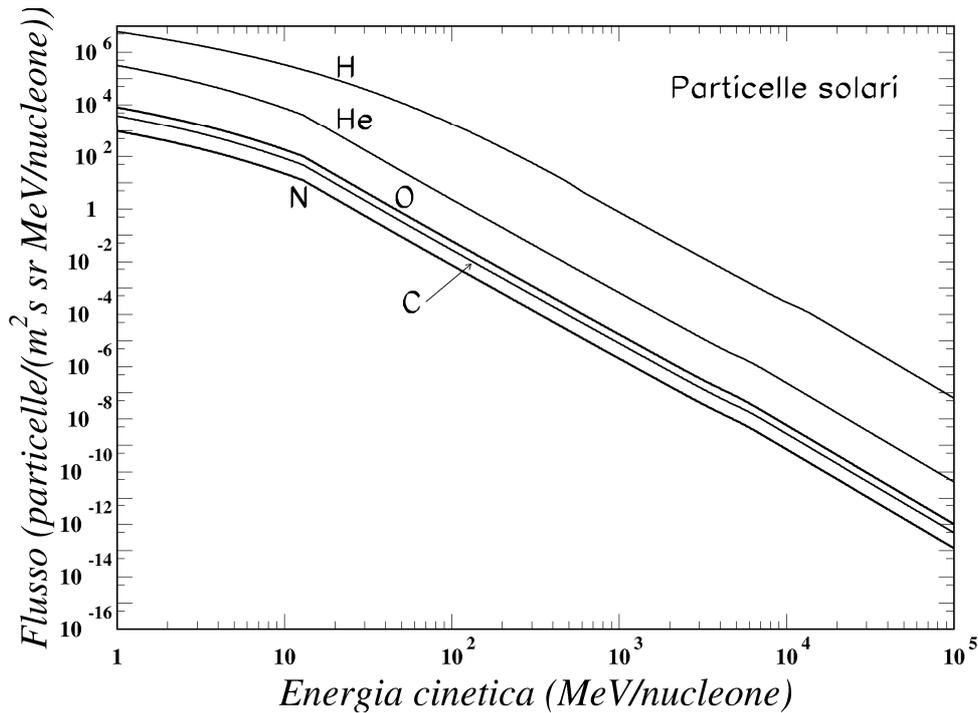


Figura 2.10: flussi delle principali componenti nucleari di SEP mediati su 200 orbite del satellite Resurs-DK1 con l'intensità di emissione registrata nella settimana dell'ultimo massimo dell'attività solare.

nificative delle caratteristiche dai valori misurati prima dell'irradiazione almeno fino a 10 krad di dose assorbita.

2.4.3 SEU e SEL nelle FPGA del sistema tracciante

Nel seguito diamo una previsione per il numero di SEE attesi nelle FPGA che realizzano la logica di controllo del sistema tracciante di PAMELA.

Le FPGA di una stessa famiglia si differenziano per il numero di celle logiche ma non per la struttura fisica della singola cella che è in linea di principio identica; in pratica tale struttura presenta fluttuazioni nelle caratteristiche (geometria, densità di drogaggio, ecc.) fra un esemplare e l'altro, intrinseche ai processi lavorativi, e che possono portare a differenze nelle sezioni d'urto fra due esemplari della stessa FPGA anche di un fattore 10.

La caratterizzazione dal punto di vista dei SEE di una particolare famiglia di FPGA può avvenire [22] programmando un esemplare di tale famiglia con un certo numero di *flip-flop* (bit) e irradiandolo con nuclei pesanti accelerati artificialmente di cui è nota la perdita di energia per unità di spessore di Si attraversato (in breve LET, *Linear Energy Transfer*)

dal nucleo incidente. Misurando la frequenza di SEE e conoscendo l'intensità di particelle incidenti si calcolano le sezioni d'urto per bit relative a SEU o SEL in corrispondenza di valori diversi L del LET, $\sigma_{\text{bit}}(L)$.

Una volta nota la sezione d'urto per bit è possibile prevedere la frequenza media dN/dt di SEE in presenza di radiazioni ionizzanti per una particolare FPGA (della famiglia studiata) su cui sono stati realizzati n bit, integrando la sezione d'urto (dipendente da L) sul flusso previsto:

$$\frac{dN}{dt} = n \int dL \sigma_{\text{bit}}(L) \frac{dN}{dt dS}(L) \quad (2.1)$$

dove $\frac{dN}{dt dS}(L)$ è il numero di particelle con LET nel Si uguale a L incidenti per unità di tempo t e superficie S .

Misura della sezione d'urto per SEE. Descriviamo brevemente l'esperimento che la collaborazione PAMELA ha svolto a fine 2000 presso il GSI [21] di Darmstadt, in cui sono state caratterizzate e confrontate le FPGA Quicklogic [14] QL12x16BL (famiglia pASIC1) e Actel [12] A54SX32 (famiglia A54SX), all'epoca i migliori candidati per la realizzazione della logica di controllo nel sistema tracciante.

Per il conteggio del numero di SEU è stato realizzato entro ciascuna FPGA un semplice circuito logico (ved. fig. 2.11) contenente in tutto 192 *flip-flop*, costituito da una coppia di contatori con ingresso *clk* comune i cui codici di uscita vanno a un comparatore che invia un bit di controllo u ad un processore situato esternamente alla zona irradiata (u è nello stato 0 se e solo se i due codici sono identici). Il *clk* inviato alla FPGA è quello usato anche dal processore, di periodo $t_{\text{clk}} = 25$ ns. Il processore controlla lo stato di u ad ogni impulso di *clk*: un SEU è caratterizzato da u nello stato 1. In presenza di SEU il processore incrementa di 1 un registro interno e reinizializza la FPGA mediante il segnale *reset*.

Il conteggio del numero di SEL avviene mediante un sensore che misura la corrente assorbita dalla FPGA e invia al DSP il segnale l se tale corrente supera il valore *standard* di 20 mA; in presenza di SEL (l nello stato 1) il DSP interrompe l'erogazione di corrente alla logica per un tempo di $500000 t_{\text{clk}} = 12.5$ ms sufficiente a disperdere la corrente parassita.

Il LET del fascio incidente varia con la specie ionica e l'energia/nucleone e viene calcolato mediante algoritmi basati sulla formula di Bethe-Bloch; una volta fissate tali quantità è possibile ricavare la sezione d'urto anche per LET diversi semplicemente variando l'angolo θ fra la direzione di incidenza del fascio e la normale alla superficie del *chip*. Il LET effettivo a cui è riferita la sezione d'urto così misurata è calcolato supponendo che

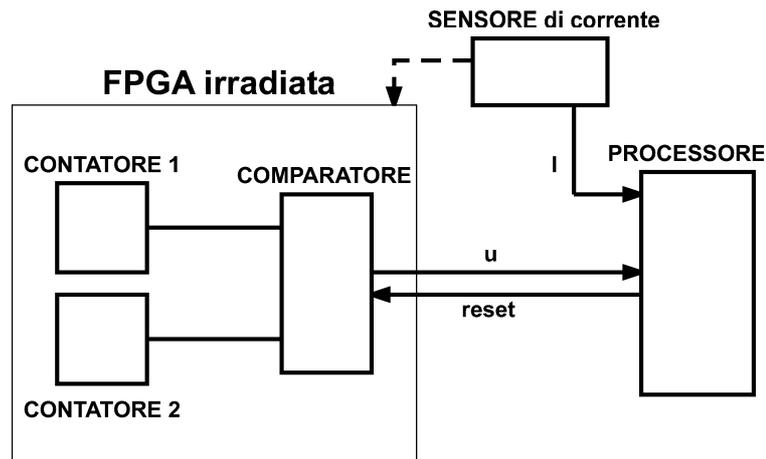


Figura 2.11: schema del circuito utilizzato per la misura di SEU e SEL in una FPGA irradiata con fasci di nuclei pesanti presso il GSI di Darmstadt.

la sezione d'urto per SEE dipenda solo dalla carica depositata nella zona svuotata e che questa abbia forma di parallelepipedo retto: in tal caso è sufficiente moltiplicare il LET che si avrebbe nel caso di incidenza normale per il fattore geometrico $1/\cos\theta$. In genere tale semplice ipotesi risulta in buon accordo con l'andamento delle misure.

Le sezioni d'urto/bit per SEE misurate per le FPGA Actel e Quicklogic sono riportate in fig. 2.12 in funzione del LET effettivo.

In base a tali risultati è stata scelta la famiglia di FPGA Actel A54SX la cui sezione d'urto per SEE è di almeno un ordine di grandezza inferiore su tutto il campo di LET esplorati.

Separando i conteggi di SEL e SEU si trova che nella FPGA Quicklogic il rapporto SEL/SEU è dell'ordine di 100/1; viceversa nel dispositivo Actel non è stato riscontrato nessun SEL. Dunque la FPGA Actel, nel campo di LET investigato, risulta immune dal fenomeno SEL, il più pericoloso dei due, in grado di arrecare danni permanenti.

Previsione della frequenza di SEU in orbita. In base a tali misure della sezione d'urto e facendo uso del *software* di simulazione CREME96 [15] ho calcolato la frequenza di SEU attesa per la logica di controllo del sistema tracciante di PAMELA, che come si è detto verrà realizzata su FPGA Actel della famiglia A54SX.

Come sarà esposto in dettaglio nel cap. 3 tale logica di controllo prevede 36 FPGA per altrettante sezioni di scheda ADC e 12 FPGA per altrettanti DSP, per un totale di circa $36 \cdot 50 \text{ bit} + 12 \cdot 300 \text{ bit} = 5400 \text{ bit}$ ^[2]

Considerando il contributo di nuclei (e protoni) galattici e intrappolati nelle fasce di

²Il valore di 300 bit dato per le FPGA sulla scheda DSP è puramente indicativo in quanto non è ancora stata realizzata la versione definitiva di tale logica di controllo.

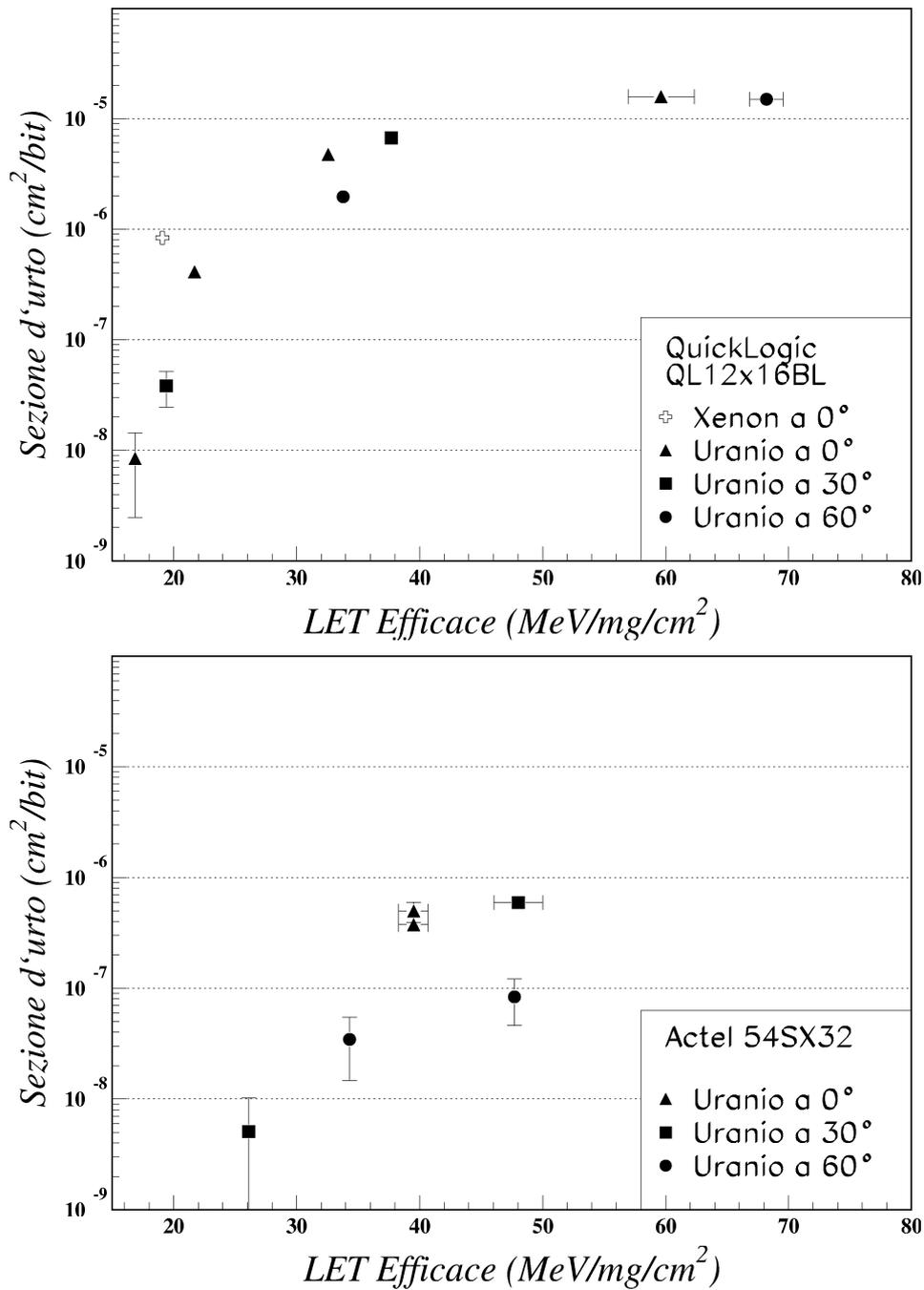


Figura 2.12: Sezioni d'urto per bit relative a SEE misurate per una FPGA Quicklogic QL12x16BL e una Actel A54SX32 con all'interno il circuito di misura a 192 *flip-flop* .

radiazione, il numero di SEU indotto nel sistema tracciante, mediato su 200 orbite del satellite Resurs, è di circa $0.8 \cdot 10^{-5}$ SEU/d; d'altra parte in presenza di SEP ci si aspetta $3 \cdot 10^{-3}$ SEU/d (con i dati della settimana di massima attività del 1989).

Il numero di SEU attesi nel sistema tracciante in 3 anni è dunque (considerando 10

giorni con SEP) $0.8 \cdot 10^{-2}$ (galattici e intrappolati) + $3 \cdot 10^{-2}$ (SEP) = $3.8 \cdot 10^{-2}$, per cui la logica di controllo del sistema tracciante risulta in sostanza immune anche da SEU (anche supponendo una variazione di un fattore 10 della sezione d'urto per bit fra il dispositivo usato per la misura e quelli montati effettivamente).

2.4.4 Contromisure adottate in PAMELA per SEU e SEL

Per quanto riguarda i SEL l'elettronica di PAMELA include un apposito sistema di controllo in grado di rilevare la presenza di *SCR-latchup* mediante sensori di corrente ed eventualmente interrompere il circuito fra rete di alimentazione ed elettronica per un tempo sufficiente alla dispersione delle correnti parassite.

Con tale accorgimento l'effetto di un SEL è ridotto ad un contributo al tempo morto complessivo dell'apparato sperimentale, in quanto fra spegnimento, riaccensione e successiva inizializzazione trascorrono alcune decine di ms durante i quali la parte di elettronica interessata da SEL resta inattiva.

Per limitare le conseguenze di un SEU la logica dei vari sottosistemi di PAMELA viene inizializzata con un segnale *reset* (della durata di qualche centinaio di ns) in corrispondenza di ogni evento valido prima di cominciare l'acquisizione dei dati provenienti dai rivelatori, in modo da annullare ogni possibilità di configurazione di partenza scorretta dovuta a SEU avvenuti per eventi precedenti.

Le memorie richiedono un trattamento diverso del problema SEU; in particolare consideriamo la memoria interna dei 12 DSP del sistema tracciante in cui è ospitato il programma di compressione che viene trasmesso dalla unità di controllo centrale di PAMELA (PSCU) ad ogni accensione del sistema. Oltre che nei DSP, 3 copie di tale programma vengono scritte in altrettante memorie di tipo *flash*; ad intervalli regolari e per ciascun DSP ogni singolo bit che costituisce il programma di compressione viene confrontato con il risultato di una verifica di unanimità fra i 3 bit corrispondenti delle *flash* (in una verifica di unanimità prevale il valore presente in maggioranza). Se il confronto dà esito negativo (SEU in un DSP), nella memoria del DSP viene riscritto il bit corretto; nel caso in cui è la verifica fra le *flash* a non dare completa unanimità (SEU in una *flash*) interviene la PSCU riscrivendo il programma nelle 3 *flash*.

Capitolo 3

Logica di controllo del sistema tracciante

Questo capitolo ed il successivo capitolo 4 trattano del mio lavoro di tesi. Tale lavoro è consistito nello sviluppo dell'elettronica digitale del sistema tracciante di PAMELA, in particolare nella:

- progettazione dell'intera logica di controllo per i primi due stadi di elettronica (acquisizione e digitalizzazione) da realizzare su FPGA Actel risiedenti sulle schede degli ADC (modulo di controllo ADC, descritto in sez. 3.4);
- progettazione della logica di controllo risiedente sulla scheda dei DSP, da realizzare su FPGA Altera APEX20KE, relativamente all'interscambio dei dati provenienti dalle schede ADC (modulo di controllo DSP, descritto in sez. 3.5);
- scelta del protocollo più adatto alla trasmissione dei dati fra le due schede e progettazione degli opportuni circuiti logici di trasmissione e ricezione (sez. 3.3);
- verifica della funzionalità dei progetti di cui sopra mediante simulazioni; programmazione delle FPGA e ulteriore verifica con misure di laboratorio (ved. cap. 4).

Nella sez. 3.1 riesaminerò in dettaglio la struttura del sistema tracciante (già esposta in sez. 1.2.2), questa volta però evidenziandone le caratteristiche dal punto di vista logico, e mettendo in rilievo le funzioni da affidare alla logica di controllo. Nella sez. 3.2 esporrò le linee generali seguite nella progettazione di tale logica di controllo. Quindi in sez. 3.3, 3.4 e 3.5 mostrerò le soluzioni da me effettivamente adottate.

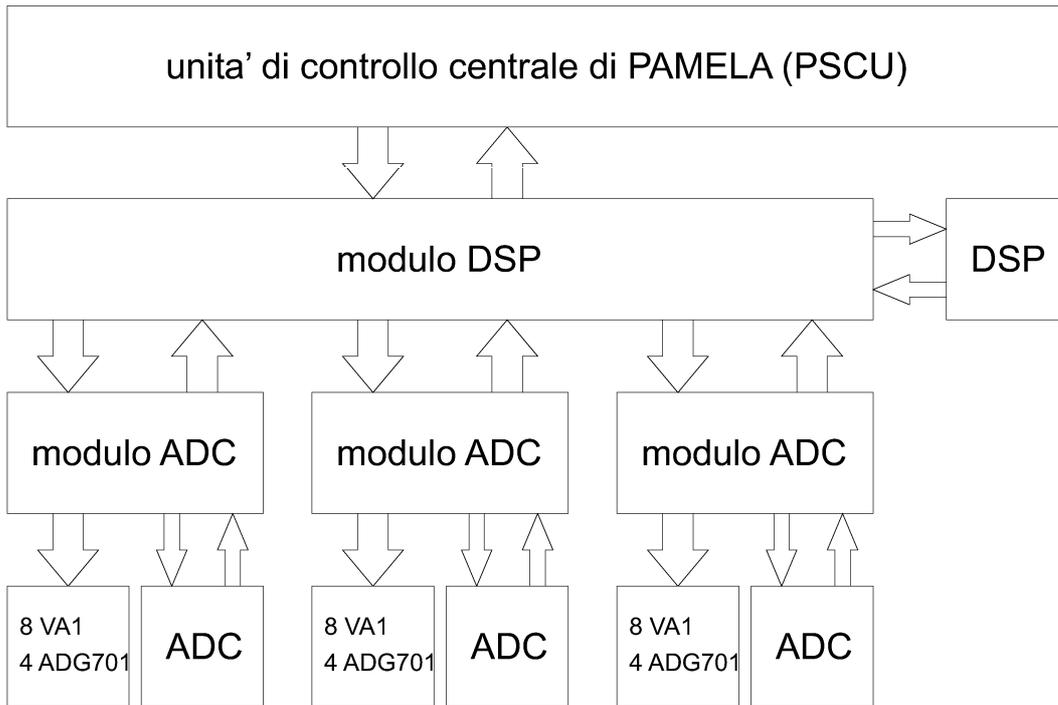


Figura 3.1: struttura logica dell'elettronica relativa ad una faccia del rivelatore tracciante. Tale struttura si ripete identica per tutte le 12 facce.

3.1 Elettronica del sistema tracciante

La struttura del sistema tracciante è stata descritta in sez. 1.2.2. Si tratta di una struttura modulare, in cui le varie parti lavorano in parallelo in modo da ridurre il tempo di elaborazione e garantire un funzionamento indipendente in caso di guasti.

Ognuna delle 12 facce dei piani di rivelazione è divisa in 3 sezioni ciascuna delle quali fa capo a 8 VA1 per l'acquisizione (primo stadio) dei segnali di 1024 strisce e a un ADC per la loro digitalizzazione (secondo stadio). I 3 ADC relativi ad una stessa faccia lavorano in parallelo e inviano i risultati della conversione analogico-digitale ad un unico DSP per la successiva fase di compressione (terzo stadio). Per le 12 facce del rivelatore abbiamo quindi in totale 12 DSP, 36 ADC e 288 VA1.

Esaminiamo dal punto di vista logico la struttura dell'elettronica relativa ad una faccia del sistema tracciante (ved. fig. 3.1).

Le funzioni di controllo e interfaccia esterna dei primi due stadi di elettronica (acquisizione e digitalizzazione) sono affidate, per ognuna delle 3 sezioni che compongono ciascuna faccia, ad un circuito logico dedicato che accompagna ciascun ADC sulla corrispondente parte di scheda e che chiameremo modulo di controllo ADC (o in breve modulo ADC), realizzato su di una FPGA Actel 54SX16P.

I 3 moduli ADC e il DSP relativi a ciascuna faccia di rivelatore fanno capo a un

modulo di controllo di secondo livello, che chiameremo modulo DSP (anch'esso realizzato su FPGA Actel) situato sulla scheda dei DSP e che svolge anche la funzione di tramite con il calcolatore centrale di PAMELA (PSCU).

In totale abbiamo 36 moduli ADC e 12 moduli DSP.

Durante la fase di sviluppo ho avuto a disposizione la elettronica di primo e secondo stadio nella sua forma definitiva (il cosiddetto “modello di volo”).

Invece, per quanto riguarda il terzo stadio, ho avuto a disposizione un prototipo costituito da una scheda con un singolo DSP in grado di gestire una faccia di rivelatore. Tale scheda è predisposta con una FPGA Altera APEX20KE, più adatta alla fase di sviluppo in quanto trattasi di FPGA riprogrammabile (ved. sez. 2.3.2).

Le funzioni dell'unità di controllo centrale di PAMELA (PSCU) sono state svolte da un sistema VME (MVME2431) controllato da un PC.

Vediamo adesso in dettaglio la struttura logica del sistema tracciante.

3.1.1 Acquisizione

Consideriamo, vista la modularità dell'elettronica, una delle 3 sezioni di una faccia del rivelatore. I segnali analogici provenienti dalle 1024 microstrisce sono acquisiti con continuità da 8 VA1 [8] presenti sulla sezione di ibrido adiacente. Il VA1 (v. fig. 3.2) è dotato di 128 ingressi analogici. Il segnale passa attraverso un preamplificatore di carica, un formatore CR-RC (tempo di formazione $1\mu s$) e un circuito *track and hold* (d'ora in avanti T&H), già descritti in sez. 1.2.2. Le uscite dei 128 T&H confluiscono ad un selettore (o *multiplexer*) analogico.

I 128 circuiti *track and hold* (T&H in figura) si trovano nello stato di *hold* se e solo se l'omonimo segnale è asserito. L'uscita analogica differenziale del *multiplexer* è normalmente in alta impedenza. Il *multiplexer* dispone di 128 ingressi *digitali* corrispondenti alle uscite di un registro a scorrimento a 128 bit. Quando uno e uno solo dei bit del registro è asserito l'uscita analogica del *multiplexer* riproduce il corrispondente ingresso. Il registro a scorrimento viene abilitato quando l'ingresso $\overline{shift-in}$, normalmente alto, compie una transizione negativa; le successive 128 transizioni positive di *clk* fanno sì che lo stato logico 1 scorra attraverso i 128 bit del registro in modo da commutare l'uscita del *multiplexer* ordinatamente sui 128 segnali delle strisce. Il 128-esimo *clk* provoca la transizione negativa dell'uscita $\overline{shift-out}$. Infine il 129-esimo *clk* manda l'uscita del *multiplexer* nello stato di alta impedenza, disabilita il registro a scorrimento e riporta alto il segnale $\overline{shift-out}$.

È presente anche un ingresso *d_reset* (*digital reset*) per la inizializzazione del registro

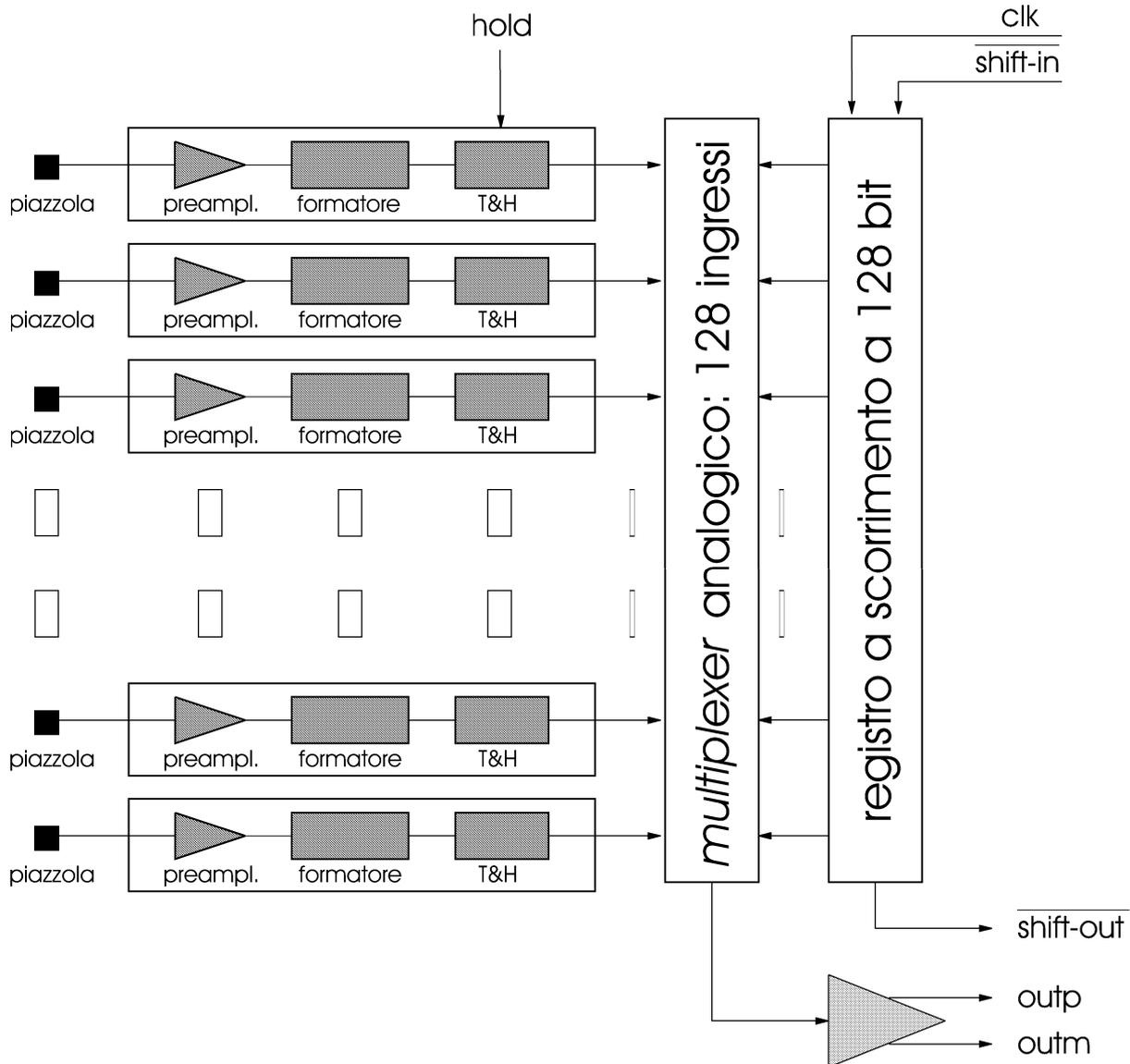


Figura 3.2: schema del circuito integrato VA1. Non consideriamo la parte predisposta per la calibrazione che non viene utilizzata nel sistema tracciante.

a scorrimento.

La struttura interna è stata concepita per avere più VA1 che utilizzano un *hold* e un *clk* comune (oltre al *d_reset*), e sono selezionati tramite i diversi *shift-in*. Inoltre il segnale *shift-out* può essere usato come *shift-in* per un altro VA1 in modo da formare una catena che opera con un unico *shift-in* esterno iniziale; si noti però che la mancata produzione dello *shift-out* da parte di un singolo VA1 blocca tutti i VA1 successivi nella catena.

Le uscite analogiche degli 8 VA1 facenti parte della stessa sezione devono confluire tutte all'ingresso dell'ADC (dopo opportuna amplificazione, ved. sez. 4.2.1); ricordando che le uscite del VA1 si trovano in alta impedenza quando il registro a scorrimento è disabilitato, la soluzione più semplice è cortocircuitare le 8 uscite e usare lo *shift-in* per

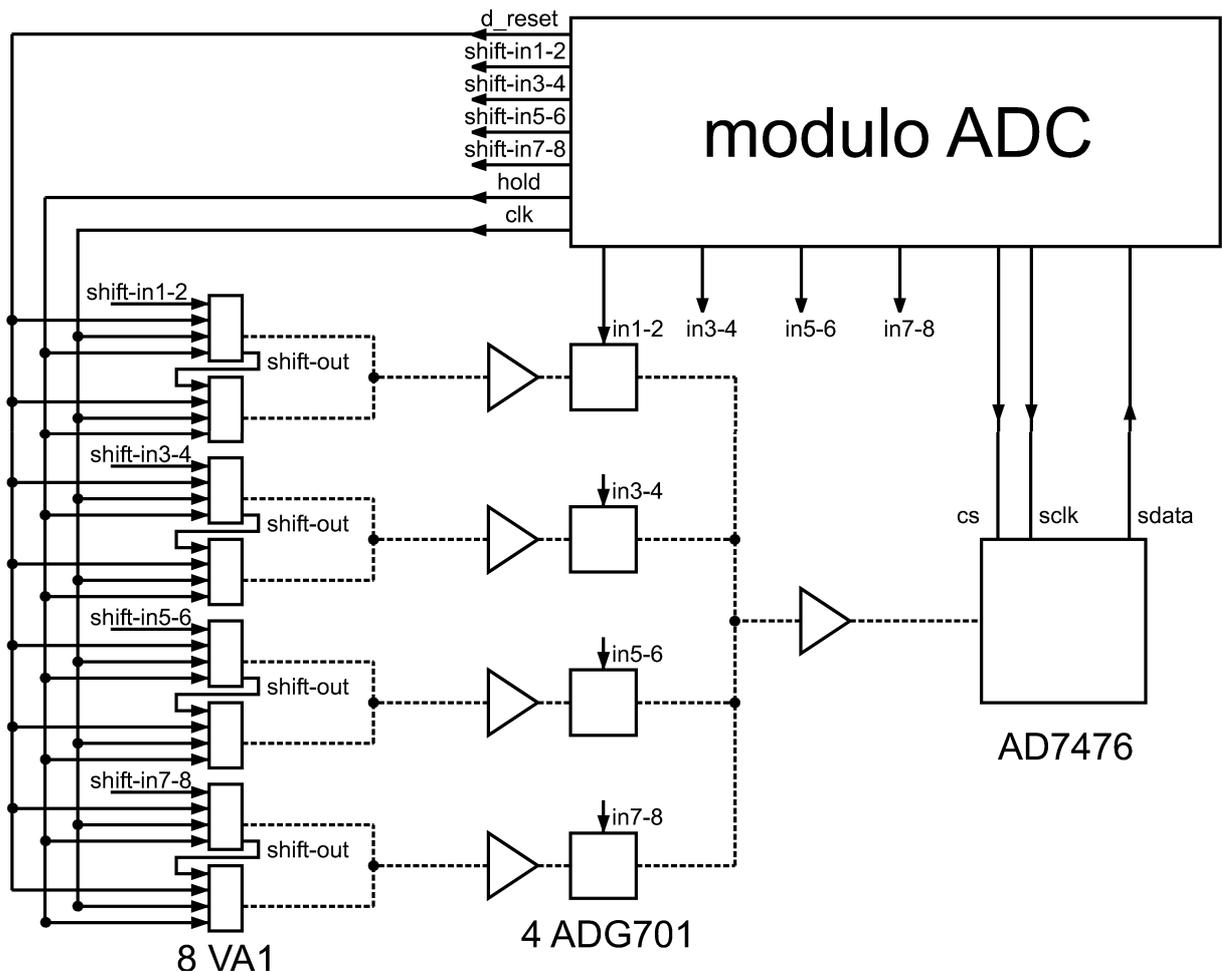


Figura 3.3: struttura dei primi due stadi di elettronica per una delle 36 sezioni di rivelatore. Le linee analogiche sono tratteggiate, quelle digitali a tratto intero; per chiarezza tutti i segnali logici sono rappresentati come normalmente bassi.

selezionare in sequenza gli 8 VA1. In tal caso se per un guasto l'uscita di uno solo dei VA1 non fosse più in grado di andare in alta impedenza l'intera sezione diverrebbe inservibile.

Si è preferito quindi aggiungere un ulteriore grado di sicurezza sotto forma di interruttore analogico, funzione realizzata da un apposito circuito integrato (ADG701 [10]) ospitato sulla scheda degli ADC. Tale componente dispone di un ingresso di controllo (*in*) il quale nello stato 1 chiude l'interruttore, viceversa lo apre.

Per ragioni di spazio (numero massimo di piste sul cavo che connette ibrido e scheda degli ADC; area libera sulla scheda degli ADC) il numero di ADG701 è stato limitato a 4 ottenendo la configurazione in fig. 3.3. Le uscite dei VA1 sono cortocircuitate a coppie; da ciascuna faccia di ogni ibrido escono quindi 4 segnali analogici su altrettante linee differenziali. I segnali giungono a 4 ADG701 dei quali uno solo alla volta viene attivato dalla logica di controllo.

Per ogni coppia di VA1 si usa lo $\overline{\text{shift-out}}$ del primo per generare lo $\overline{\text{shift-in}}$ per il

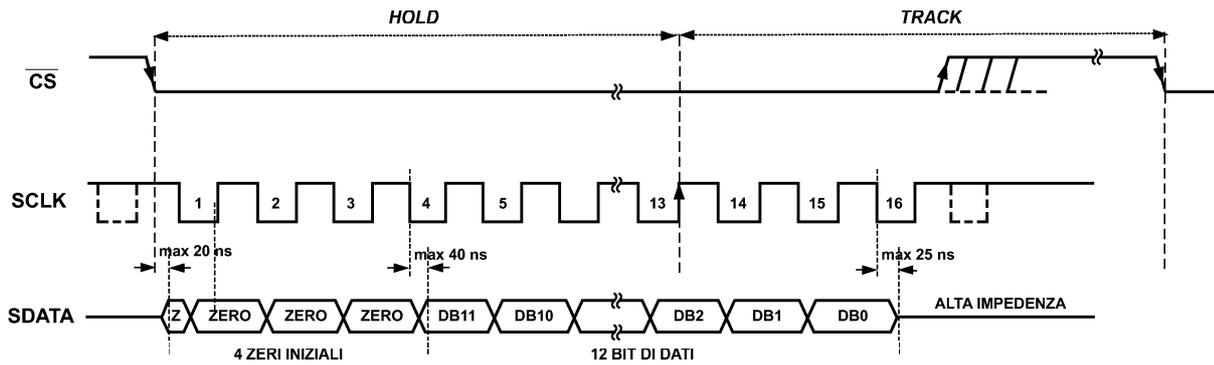


Figura 3.4: tipico ciclo di conversione di AD7476. Sono evidenziati i ritardi fra variazione di un ingresso e conseguente variazione di *sdata*.

secondo, limitando a 4 il numero di linee $\overline{shift-in}$ che devono giungere dal modulo ADC. Riassumendo, ciascun modulo ADC invia verso la corrispondente sezione di ibrido un segnale d_reset , un *hold*, un *clk* e 4 $\overline{shift-in}$.

3.1.2 Digitalizzazione

In corrispondenza di un *trigger* (dato dal sistema TOF di PAMELA) gli 8 VA1 di ciascuna sezione vengono messi nello stato *hold* dopo un tempo pari al tempo di formazione del segnale analogico e mantenuti in tale condizione per il tempo necessario all'ADC a completare la digitalizzazione di tutti i 1024 segnali della pertinente sezione di rivelatore. L'ADC compie una serie di 1024 cicli di conversione identici; il modulo di controllo ADC si occupa di presentare ciascuno dei 1024 segnali all'ingresso analogico dell'ADC in ordinata sequenza e di trasmettere verso il DSP i risultati di ciascuna conversione.

Il modello di ADC utilizzato è AD7476 [10] (versione A, alimentato a 3.3 V): si tratta di un ADC a 12 bit che rappresenta il migliore compromesso fra i vari requisiti, in particolare dotato di elevata frequenza massima di campionamento pari a 1 MHz, basso consumo e piccola superficie occupata. Un circuito *track and hold* è seguito dal convertitore vero e proprio che opera ad approssimazioni successive; l'uscita digitale è seriale.

Il tipico ciclo di conversione di AD7476 è riportato in fig. 3.4.

L'abbassamento dell'ingresso \overline{cs} (*chip select*, normalmente alto) pone il circuito *track and hold* di ingresso nello stato *hold*; le transizioni sull'altro ingresso logico *sclk* (da *serial clk*) scandiscono i passi del processo interno di conversione. Con il 13-esimo fronte di salita di *sclk* l'ingresso analogico entra in modo *track*. Per completare una conversione sono necessarie 32 transizioni di *sclk*, a partire da una transizione negativa: 16 transizioni negative e 16 positive. Dopo l'ultima transizione positiva è possibile riportare \overline{cs} alto, per dare poi inizio ad un nuovo ciclo di conversione.

Per quanto concerne l'uscita digitale dell'ADC, i 12 bit significativi della conversione sono emessi in sequenza a partire dal bit 11 (il più significativo o MSB) per finire con il bit 0 (il meno significativo o LSB) in corrispondenza delle transizioni discendenti di *sclk*. Normalmente l'uscita *sdata* (da *serial data*) è nello stato di alta impedenza; con l'abbassamento di \overline{cs} passa nello stato 0 e tale rimane fino alla quarta transizione negativa di *sclk*, con la quale viene emesso il MSB; i bit successivi vengono emessi con le successive transizioni negative di *sclk* fino alla 15-esima con cui si ha il LSB; infine la 16-esima transizione negativa di *sclk* riporta l'uscita in alta impedenza.

3.1.3 DSP

In corrispondenza dell'inizializzazione dell'elettronica del sistema tracciante il DSP riceve dalla PSCU il programma di compressione che eseguirà in risposta ad ogni *trigger* proveniente dal calcolatore centrale di PAMELA. Tale programma prevede un periodo di attesa per la memorizzazione dei dati delle 3072 strisce della faccia di rivelatore attinente, dopodiché ha inizio la compressione dei dati. Il modulo di controllo DSP si occupa di gestire la memorizzazione del programma, dei dati provenienti dai 3 moduli ADC e, una volta terminata la compressione, di leggere i dati compressi e trasmetterli al calcolatore centrale di PAMELA.

Il DSP utilizzato nel nostro prototipo è ADSP2187L [10] (della Analog Devices); si tratta di un microcalcolatore ottimizzato per l'elaborazione dati, costituito da un microprocessore e un insieme di periferiche essenziali, il tutto integrato in un unico *chip* di $1.4 \cdot 1.4 \text{ mm}^2$.

Le periferiche sono: 160 kByte^[1] di memoria interna RAM; 2 porte seriali; una porta IDMA (*Internal Direct Memory Access*) a 16 bit per l'accesso diretto alla memoria interna da parte di un dispositivo esterno; una porta DMA a 8 bit per l'accesso diretto ad un'eventuale memoria esterna; un temporizzatore (*timer*) programmabile.

clk interno. Il DSP utilizza come segnale di sincronizzazione per le proprie operazioni interne un segnale generato esternamente da un apposito oscillatore al quarzo presente sulla scheda e a questo scopo dispone di un ingresso *clk_{in}*; si noti che la durata t_{DSP} di un ciclo interno (in cui viene eseguita un'istruzione completa) è esattamente la metà del periodo del segnale esterno *clk_{in}*: $t_{\text{DSP}} = 0.5t_{\text{clk_{in.}$

Il minimo periodo ammesso è $t_{\text{clk_{in. Sul prototipo di scheda DSP utilizzata}$

¹Si ricorda che $1 \text{ kByte} = 1024 \text{ Byte}$.

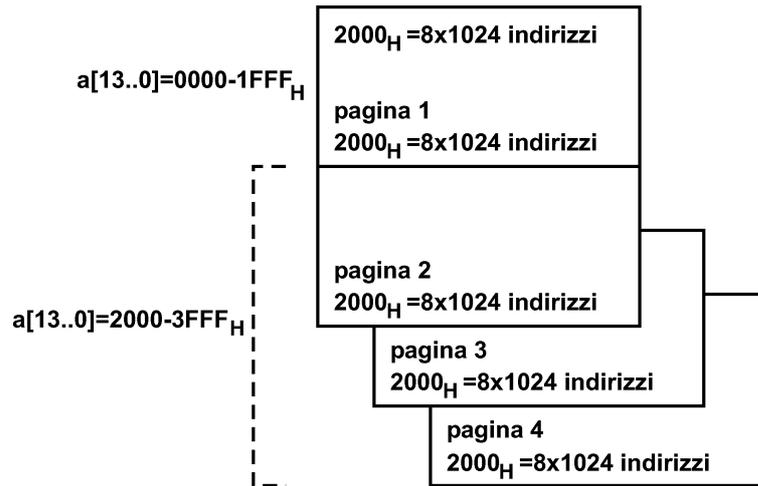


Figura 3.5: schema della suddivisione in 4 pagine della memoria dati. Un'analoga suddivisione è prevista per la memoria programmi.

per lo sviluppo è presente un oscillatore al quarzo per la generazione di clk_{in} con periodo $t_{clk_{in}} = 40$ ns.

Memoria. La memoria interna è di tipo RAM ed è suddivisa in due parti:

- Memoria programmi: $32 \cdot 1024$ parole di 24 bit ciascuna, per un totale di 96 kByte; tale parte di memoria è ottimizzata per la memorizzazione di istruzioni complete che possono essere eseguite dal DSP in un unico ciclo interno: infatti un'istruzione completa misura proprio 24 bit.
- Memoria dati: $32 \cdot 1024$ parole di 16 bit l'una per un totale di 64 kByte.

La memoria dati è strutturata in 4 pagine o *overlay* di $8 \cdot 1024$ parole ciascuna (ved. fig. 3.5); la scrittura delle singole parole da parte del DSP (o di un dispositivo esterno) avviene mediante un bus di indirizzamento a 14 bit che indicheremo con $a[13..0]$; mediante tale bus è possibile specificare solo $16 \cdot 1024$ indirizzi di memoria. L'accesso per la scrittura o lettura della memoria dati è così regolamentato: quando $a[13] = 0$ l'indirizzo $a[12..0]$ si riferisce sempre alla pagina 1; quando invece $a[13] = 1$ l'indirizzo $a[12..0]$ si riferisce ad una e una sola delle altre 3 pagine in base all'impostazione contenuta in un apposito registro per l'indirizzamento delle pagine.

Analogamente presenta la memoria programmi.

L'accesso alla memoria interna (dati o programmi) può essere gestito dal DSP stesso con l'esecuzione di opportune istruzioni interne oppure può essere controllato direttamente da un dispositivo esterno tramite la porta IDMA.

L'accesso diretto attraverso la porta IDMA è il mezzo più rapido per agire sulla memoria interna del DSP da parte di un dispositivo esterno. Per questo motivo nella versione definitiva dell'elettronica del sistema tracciante tutti gli accessi alla memoria del DSP dall'esterno avverranno tramite la porta IDMA: scrittura programma, scrittura dati non compressi, lettura dati compressi. L'accesso alla memoria da parte del DSP avviene solo nella fase di esecuzione del programma di compressione.

Porta IDMA Per rendere la porta IDMA accessibile ad un dispositivo esterno (ospite) il DSP deve trovarsi nella modalità di funzionamento *host memory* in cui una parte dei piedini esterni altrimenti usati per il bus dati e indirizzi sono opportunamente configurati come interfaccia esterna della porta IDMA.

L'interfaccia della porta IDMA è così costituita:

- un bus bidirezionale a 16 bit, sul quale viaggiano sia gli indirizzi di memoria interna (solo entranti) che i dati (uscenti o entranti); tale bus è individuato nel seguito come $iad[15..0]$ (da IDMA *address/data*);
- 5 bit di controllo (4 ingressi e un'uscita):
 - ingressi \overline{iwr} (IDMA *write*), \overline{ird} (IDMA *read*), ial (IDMA *address latch*): selezionano il tipo di ciclo IDMA;
 - ingresso \overline{is} (IDMA *select*): utile in presenza di segnali di controllo comuni ad altri dispositivi per selezionare il DSP;
 - uscita \overline{iack} (IDMA *acknowledge*): indica la disponibilità o meno ad effettuare un ciclo IDMA.

Ogni ciclo di lettura o scrittura IDMA opera su una ben precisa locazione di memoria, specificata tramite due appositi registri di indirizzamento.

Il primo registro sarà indicato con $IDMA_control[14..0]$. Il bit $IDMA_control[14]$ specifica se si accederà alla memoria programmi (0) o a quella dati (1). $IDMA_control[13..0]$ rappresenta l'indirizzo di memoria a cui si accederà per la lettura o scrittura. $IDMA_control$ non viene inizializzato e quindi prima di effettuare una qualsiasi operazione di lettura o scrittura IDMA è opportuno sovrascrivere tale registro. D'altra parte al termine di ogni ciclo di lettura o scrittura l'indirizzo presente in $IDMA_control[13..0]$ viene automaticamente incrementato di 1, semplificando l'accesso a indirizzi di memoria consecutivi.

Il secondo registro, $IDMA_overlay[7..0]$, svolge la funzione di registro di indirizzamento delle pagine (vedi sopra) per la porta IDMA e contiene l'indicazione della pagina di

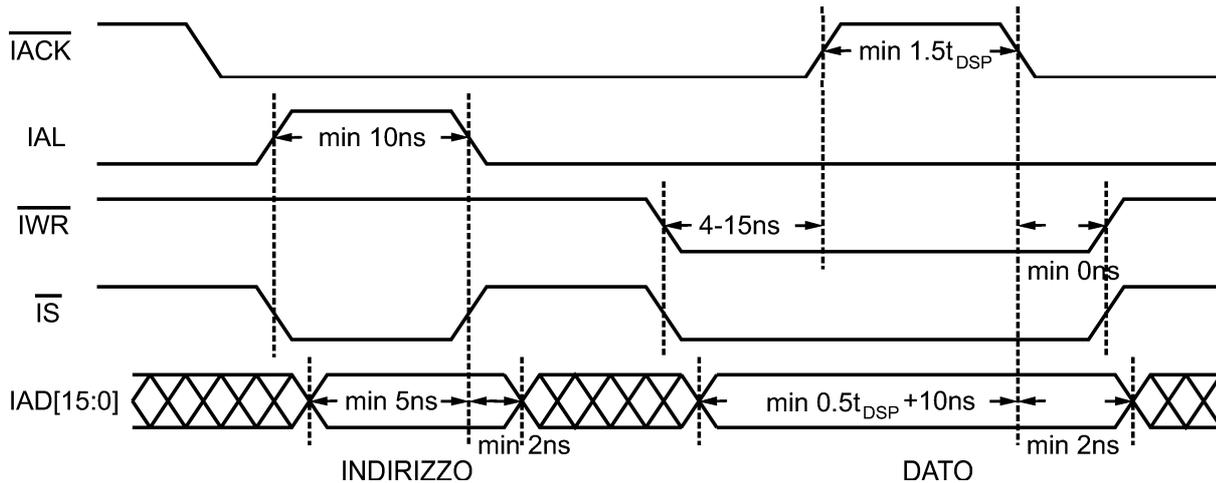


Figura 3.6: esempio di ciclo di indirizzamento seguito da ciclo di scrittura IDMA.

memoria dati o programmi a cui si accederà quando $IDMA_control[13] = 1$. $IDMA_overlay$ è inizializzato automaticamente dal DSP in modo da indicare come pagina iniziale la pagina 2 sia per la memoria dati che per quella programmi.

Per modificare il contenuto di $IDMA_control[14..0]$ o $IDMA_overlay[7..0]$ è previsto un apposito ciclo di indirizzamento IDMA. In tale ciclo il dispositivo esterno utilizza il bus $iad[15..0]$ della porta IDMA per specificare quale dei due registri sovrascrivere e per comunicare il nuovo contenuto del registro: in particolare se $iad[15] = 0$ il codice $iad[14..0]$ verrà scritto entro il registro $IDMA_control[14..0]$, altrimenti $iad[7..0]$ verrà scritto nel registro $IDMA_overlay[7..0]$.

Il ciclo di indirizzamento IDMA è di seguito illustrato (ved. fig. 3.6).

- Il dispositivo esterno controlla lo stato della linea \overline{iack} e inizia il ciclo di indirizzamento IDMA alzando ial e simultaneamente abbassando \overline{is} (per la precisione il ciclo inizia con l'ultima delle due transizioni).
- Il ciclo termina con il ritorno simultaneo di ial e \overline{is} nello stato di riposo, alto e basso rispettivamente (per la precisione il ciclo termina con la prima delle due transizioni). Il dato corretto deve essere presente sul bus $iad[15..0]$ per un tempo minimo di 5 ns prima della fine del ciclo e di 2 ns dopo.

Si noti che \overline{ird} e \overline{iwr} devono restare inattivi (cioè alti) per tutta la durata del ciclo. Si noti anche che \overline{iack} resta basso per tutta la durata del ciclo, che viene quindi gestito per intero dal dispositivo esterno.

Consideriamo ora il tipico ciclo di scrittura IDMA (anch'esso in fig. 3.6).

- Il dispositivo esterno controlla lo stato della linea \overline{iack} e invia la richiesta di scrittura

IDMA (abbassando \overline{iwr} e \overline{is}) solo se \overline{iack} è bassa. Infatti il DSP tiene l'uscita \overline{iack} alta finché la porta IDMA è occupata da un precedente ciclo e ignora eventuali richieste giunte in tali condizioni.

- Se la porta IDMA non è occupata il DSP accetta la richiesta e dopo un certo tempo caratteristico (compreso fra 4 e 15 ns) dà inizio al ciclo IDMA interno mandando \overline{iack} alto per indicare di non essere più disponibile a soddisfare ulteriori richieste di IDMA.
- Il ciclo IDMA interno finisce con la scrittura effettiva nella memoria del DSP che avviene in corrispondenza del riabbassamento di \overline{iack} : il dato corretto deve essere presente sul bus $iad[15..0]$ per un tempo minimo pari a $0.5t_{\text{DSP}} + 10$ ns prima della fine del ciclo e di 2 ns dopo. Si noti che \overline{iwr} e \overline{is} devono restare bassi finché \overline{iack} non torna basso perché il ciclo si sia svolto nel modo corretto.
- Il dispositivo esterno controlla periodicamente se \overline{iack} è basso: in tal caso riporta \overline{iwr} e \overline{is} alti per abbassarli poi per una nuova richiesta.

Se non c'è necessità di distinguere il DSP da altri dispositivi che ricevono il segnale \overline{iwr} , l'ingresso \overline{is} si limita a replicare \overline{iwr} . Si noti che \overline{ird} e ial devono restare inattivi (rispettivamente alto e basso) per tutta la durata del ciclo.

La durata del ciclo interno (ossia il tempo per cui \overline{iack} viene tenuto alto) dipende dalle altre operazioni interne in corso ed è almeno $1.5 t_{\text{DSP}}$.

3.2 Caratteristiche generali della logica di controllo

In generale la logica di controllo per un sistema digitale viene realizzata con una macchina logica sincrona, nel senso che tutte le operazioni (cioè l'emissione o la lettura di segnali logici) sono effettuate in corrispondenza dei fronti di salita (o di discesa) di un unico segnale di sincronizzazione (*clock* o in breve *clk*).

La macchina logica base che abbiamo utilizzato per PAMELA è essenzialmente costituita da un contatore a n bit, alcuni decodificatori a n bit e un insieme di *flip-flop* predisposti alla generazione dei segnali di controllo interni ed esterni. Il codice c in uscita dal contatore caratterizza le diverse transizioni positive di *clk* (perciò indicate con t_c) e viene fornito ai decodificatori che programmano i *flip-flop* in modo che ciascuno porti nello stato 1 la propria uscita in corrispondenza di un determinato impulso di *clk*.

Ad esempio per generare un dato segnale con la transizione t_4 e azzerarlo poi con t_{10} abbiamo utilizzato la struttura in fig. 3.7 composta da due coppie di decodificatore (porte

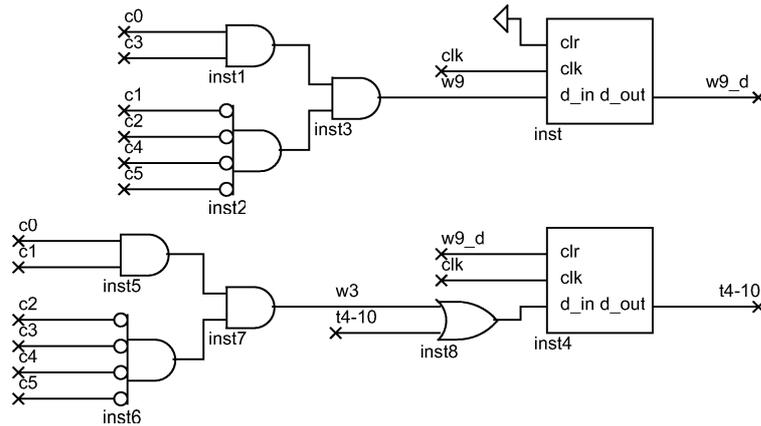


Figura 3.7: generazione del segnale $t4-10$. Si noti che il contatore (non rappresentato) è a 6 bit e viene pilotato dallo stesso segnale clk utilizzato per i *flip-flop*.

AND in cascata) e *flip-flop*. L'uscita w_3 del primo decodificatore va nello stato 1 con t_3 per cui il segnale $t4-10$ viene asserito con t_4 mentre w_3 torna a 0. $t4-10$ resta a 1 anche con i clk successivi per la presenza della porta OR in ingresso al rispettivo *flip-flop*. Il segnale $w9_d$ (dove d sta per *delay*, nel senso che segue t_9 con un clk di ritardo) viene asserito con t_{10} ed ha la funzione di azzerare $t4-10$. A sua volta $w9_d$ viene negato con il clk successivo.

Si ricorda che l'uscita di una componente combinatoria quale un decodificatore può presentare impulsi spuri (noti come *glitch*) per il fatto che ad ogni fronte di salita di clk alcuni ingressi cambiano stato e durante tale fase di transizione si possono avere combinazioni di valori diversi da quelli iniziali e finali. Per questo il segnale proveniente da una componente combinatoria viene sempre inviato ad un *flip-flop* la cui uscita varia esclusivamente con il fronte di salita di clk e quindi riproduce, con un periodo di clk di ritardo, il segnale combinatorio depurato degli eventuali *glitch*.

La transizione di un segnale in uscita da un *flip-flop* provoca in genere variazioni agli ingressi di un certo numero di *flip-flop*. Il ritardo con cui tale variazione si propaga deve essere tale che il tempo che intercorre fra la variazione dell'ingresso di ciascun *flip-flop* ed il successivo fronte di salita di clk non sia inferiore al minimo consentito per il corretto funzionamento del *flip-flop* (tempo di impostazione o *setup time*); ciò comporta un limite superiore alla frequenza di clk che dipende sia dal particolare circuito realizzato sia dalle variabili d'ambiente (temperatura, tensione di alimentazione) che influenzano le caratteristiche temporali dell'elettronica.

In certi casi particolari può rendersi necessario generare impulsi di durata inferiore ad un periodo di clk (ad esempio per ottenere un nuovo segnale di clk). Ciò può essere realizzato inviando l'uscita di un *flip-flop* all'ingresso *clear* (o in breve *clr*) dello stesso

flip-flop : quando l'uscita passa nello stato 1 provoca il proprio azzeramento. La durata dell'impulso così ottenuto dipende essenzialmente dal tempo di propagazione del segnale *clr* entro il *flip-flop* , che cambia in funzione delle variabili d'ambiente; occorre assicurarsi che nelle condizioni di lavoro previste il campo di variazione della durata dell'impulso sia compatibile con i requisiti temporali degli ingressi che ne fanno uso.

Si noti che tale metodo, non utilizzando l'ingresso *clk* per indurre la transizione negativa dell'uscita del *flip-flop*, non rientra nelle normali procedure delle macchine sincrone e deve essere utilizzato solo in caso di stretta necessità.

Un problema che si può presentare nel progetto di una macchina logica è la presenza di stati esclusi, cioè particolari combinazioni di valori per l'insieme dei segnali che non vengono raggiunte durante il normale funzionamento, ma solo in seguito a qualche perturbazione (quale una variazione nella tensione di alimentazione o un SEU, ved. sez. 2.4); in tal caso la macchina non è più in grado di portarsi in uno degli stati della normale sequenza operativa. L'uso di un segnale di inizializzazione (*reset*) che agisce su tutti i *flip-flop* forzandone le uscite a 0 (ingresso *clr*) o a 1 (ingresso *preset*) permette in ogni caso di riportare la macchina ad uno stato di riposo prefissato.

3.3 Comunicazione fra modulo ADC e modulo DSP

Passerò adesso a descrivere il protocollo scelto per la comunicazione dei dati fra scheda ADC e scheda DSP e la realizzazione dei relativi circuiti di trasmissione e ricezione entro ciascun modulo di controllo.

La comunicazione fra ciascun modulo di controllo ADC e il relativo modulo DSP richiede lo scambio simultaneo di dati nelle due direzioni, come vedremo meglio descrivendone le strutture interne in sez. 3.4 e 3.5. Tale comunicazione avviene tramite linee differenziali LVDS (descritte in sez. 2.1).

Per limitare il numero di linee abbiamo scelto un sistema di comunicazione seriale: sulla linea principale vengono trasmessi i dati sotto forma di sequenza di bit, mentre su quella ausiliaria viaggia un segnale che viene usato per la sincronizzazione del *flip-flop* ricevente. A questo proposito si noti che sulla scheda ADC non sono presenti oscillatori e ciascun modulo di controllo ADC opera in base al segnale di sincronizzazione inviatogli dal modulo DSP.

Il protocollo che abbiamo utilizzato per la trasmissione è noto come *data/strobe* (in breve d/s) ed è illustrato in fig. 3.8. Si tratta di usare un circuito trasmettitore che invia sulla linea ausiliaria invece del segnale *clk* nella sua forma originale un segnale (lo *strobe*)

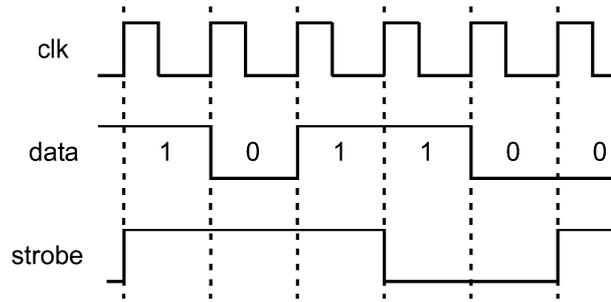


Figura 3.8: protocollo *data/strobe*: il segnale *strobe* varia se il dato resta inalterato.

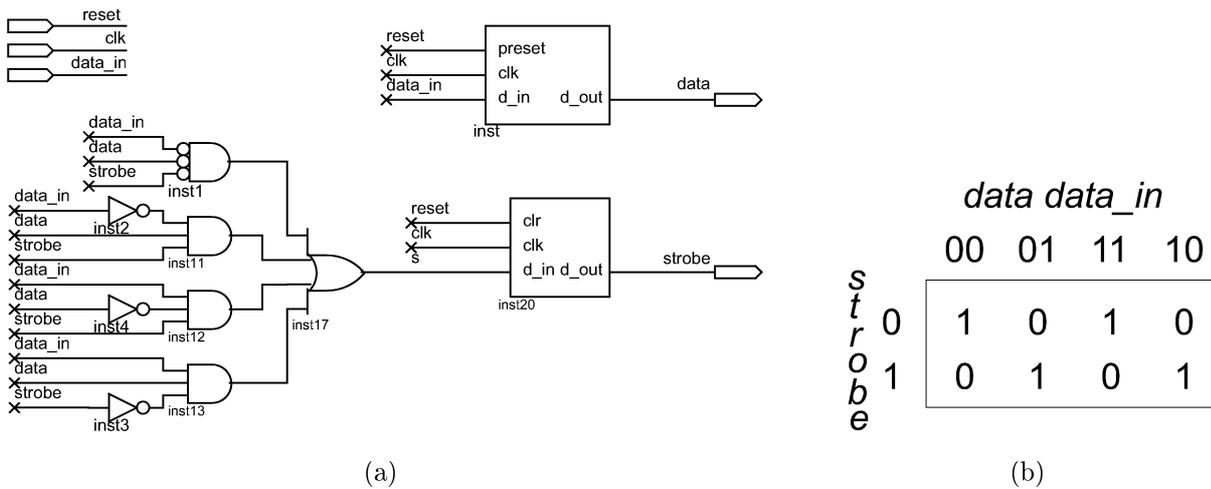


Figura 3.9: trasmettitore d/s. (a) Struttura interna. (b) Tabella della verità per l'uscita *s* della logica combinatoria. *data_in* e *s* programmano *data* e *strobe* per il *clk* successivo: *strobe* cambierà stato se e solo se *data* resta invariato.

il quale varia in corrispondenza di ogni fronte di salita del *clk* se e solo se il dato resta inalterato.

In tal modo ad ogni transizione positiva del *clk* originale corrisponde la transizione di uno e uno solo fra *data* e *strobe*. Così facendo si rende la comunicazione indipendente da possibili differenze nei tempi di propagazione del dato e del *clk*, differenze che potrebbero portare alla violazione dei tempi di impostazione (*setup time*) o ritenuta (*hold time*) del dato rispetto al *clk* per il *flip-flop* ricevente.

La struttura interna del trasmettitore d/s che abbiamo realizzato è illustrata in fig. 3.9. Come si vede in (b) il decodificatore formato dalle 4 porte AND e dalla porta OR programma nel modo desiderato il valore che l'uscita *strobe* assumerà al successivo impulso di *clk*.

Si noti che il segnale *reset* porta l'uscita *data* a 1 (ingresso *preset*) e *strobe* a 0 (ingresso *clr*); tale scelta è del tutto arbitraria.

La struttura del ricevitore d/s realizzato è in fig. 3.10. Poiché una e una sola delle due

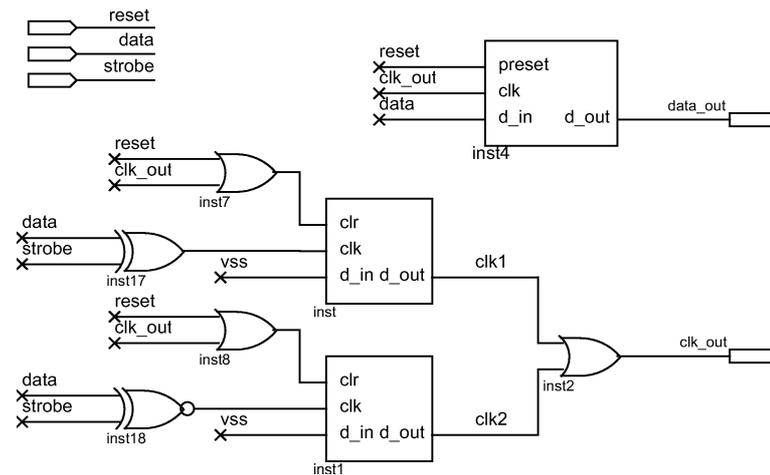


Figura 3.10: ricevitore d/s.

linee *data* e *strobe* cambia ad ogni impulso di *clk*, tali linee sono alternativamente uguali e opposte. La porta di ingresso XOR compie l'operazione logica di OR esclusivo: la sua uscita è 1 se gli ingressi sono uguali, 0 se sono opposti, quindi realizza un *clk* di periodo doppio rispetto al *clk* originario. La porta XNOR compie la stessa operazione logica ma ha l'uscita complementare a XOR. Dunque ad ogni *clk* ciascuna porta compie una transizione e in particolare una (e una sola) compie la transizione positiva che a sua volta provoca la transizione positiva di almeno uno (e uno solo) fra *clk* 1 e *clk* 2. La successiva porta OR permette di ottenere un segnale *clk_out* con lo stesso periodo di *clk*. *clk_out* deve essere negato prima della successiva transizione positiva; ciò è ottenuto semplicemente usando *clk_out* stesso come segnale di azzeramento, con le cautele indicate in sez. 3.2.

Infine il dato in uscita dal ricevitore viene sincronizzato con *clk_out*, nel senso che l'eventuale transizione di *data_out* segue il fronte di salita di *clk_out* (si noti che la transizione dell'ingresso *data* precede e genera *clk_out*).

In fig. 3.11 è illustrato il funzionamento della trasmissione d/s da noi realizzata: *data_out* ricreato dal ricevitore riproduce *data_in* ritardandolo di un solo impulso di *clk*; l'effettivo ammontare del ritardo dipende dalle caratteristiche della linea di trasmissione e dell'elettronica usata.

Un aspetto fondamentale nella realizzazione del collegamento fra scheda ADC e scheda DSP è la necessità di interporre a uno dei capi di ciascuna linea di trasmissione un filtro che rigetti le basse frequenze. Si noti infatti che la massa per l'elettronica (ibrido e scheda ADC) relativa ad una faccia di rivelatore si trova alla stessa tensione delle strisce, per cui fra la massa delle sezioni Y e quella delle sezioni X c'è una differenza di potenziale di +80 V; una volta scelta la massa della scheda DSP (in particolare coincidente con la

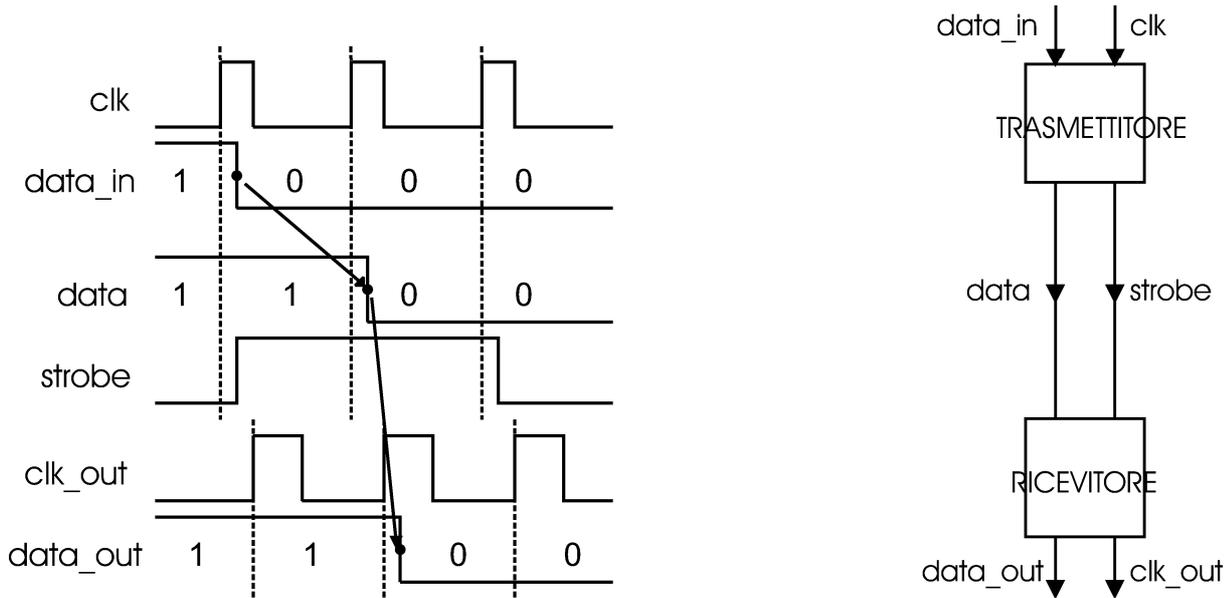


Figura 3.11: realizzazione effettiva del protocollo d/s con il trasmettitore e ricevitore descritti nel testo.

massa delle sezioni X), per le sezioni Y è indispensabile bloccare la componente continua e lasciar passare solo i segnali digitali sovrainposti. Inoltre conviene minimizzare il rumore a bassa frequenza, indotto dall'elettronica della scheda DSP sugli ingressi dei VA1, che andrebbe a peggiorare la qualità del segnale misurato dai preamplificatori.

3.3.1 Filtro capacitivo e codifica di Manchester

Il metodo più diffuso per filtrare le basse frequenze, ossia un filtro RC passa-alto (in fig. 3.12), non permette di utilizzare il protocollo *data/strobe* nella forma appena vista. Supponiamo infatti che l'uscita del trasmettitore permanga indefinitamente nello stato logico opposto allo stato di riposo del ricevitore (definito dai partitori resistivi utilizzati); dopo un tempo, caratteristico della rete RC utilizzata, gli ingressi del ricevitore torneranno nello stato di riposo anticipando la successiva transizione di stato del trasmettitore e causando in tale intervallo la trasmissione di dati errati.

Una possibile soluzione a questo problema, da noi studiata, consiste nell'ulteriore codifica delle uscite d/s in modo da ottenere segnali rapidamente variabili: la cosiddetta codifica di Manchester, che si realizza tramite un apposito circuito codificatore posto immediatamente dopo il trasmettitore d/s a un capo della linea e un corrispondente decodificatore prima dello stadio di decodifica d/s all'altro capo.

La codifica di Manchester richiede un segnale di sincronizzazione *Man_clk* di frequenza doppia rispetto al *ds_clk* che determina le eventuali transizioni nella linea *data* o *strobe*;

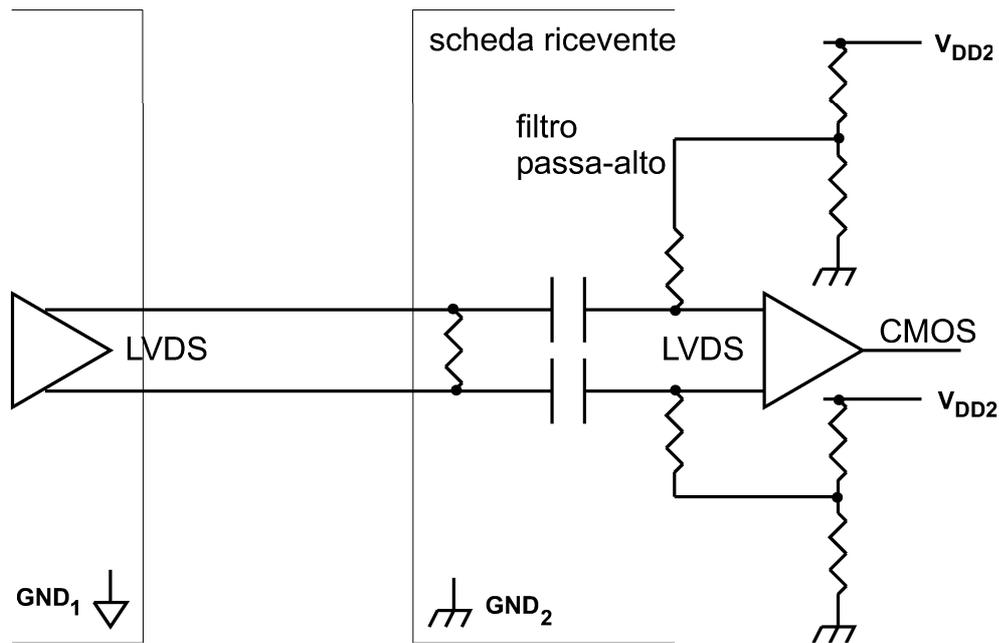


Figura 3.12: Realizzazione del filtro RC passa-alto su di una linea differenziale LVDS. La rete di resistenze riporta gli ingressi del ricevitore LVDS nel loro stato quiescente (stato logico 1 o 0).

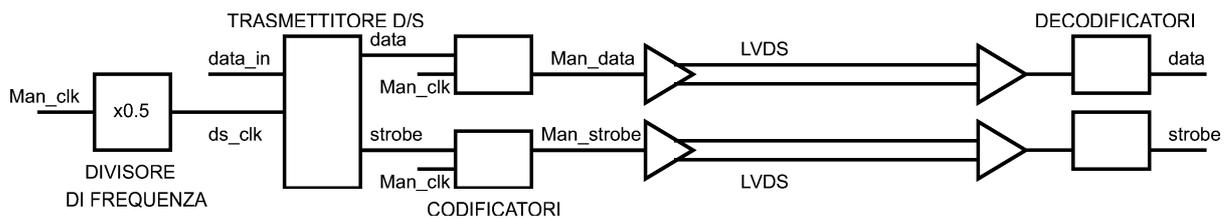


Figura 3.13: trasmissione mediante codifica di Manchester.

in pratica si usa Man_clk per generare ds_clk mediante un divisore di frequenza.

Il codificatore di Manchester per ogni singola linea (*data* o *strobe*) funziona nel modo seguente: in corrispondenza di ogni fronte di salita di ds_clk (impulso dispari di Man_clk) sulla linea viene applicata una transizione; con il fronte di discesa di ds_clk (impulso pari di Man_clk) la transizione avviene se e solo se il segnale originale risulta nello stato logico 1 (v. fig. 3.14).

In questo modo l'informazione è inviata in corrispondenza degli impulsi pari di Man_clk : lo stato logico 1 corrisponde a presenza di transizione, lo stato 0 ad assenza di transizione. La transizione in corrispondenza degli impulsi dispari è invece sempre presente e non trasmette informazione, ma serve a rigenerare il segnale LVDS dopo un massimo di 2 impulsi di Man_clk indipendentemente dallo stato logico trasmesso.

Lo svantaggio nell'usare la codifica di Manchester sta nel fatto che occorrono due cicli di Man_clk per trasmettere un singolo bit di dato (efficienza di trasmissione uguale a

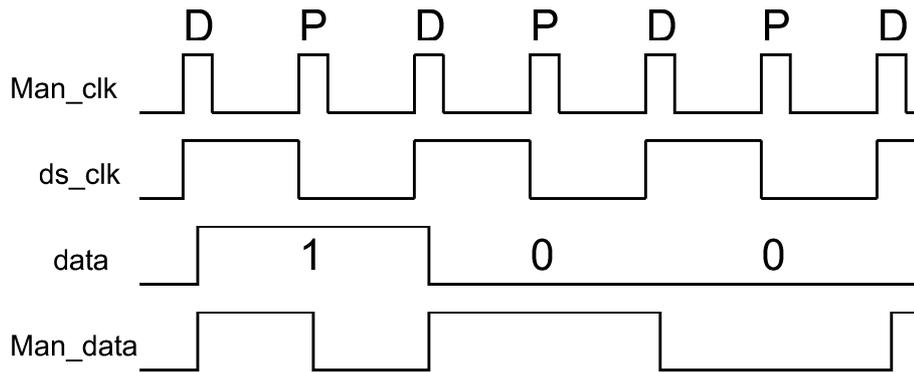


Figura 3.14: codifica di Manchester per la sequenza 100 sulla linea *data*. Sono evidenziate le transizioni pari (P) e dispari (D) di *Man_clk*.

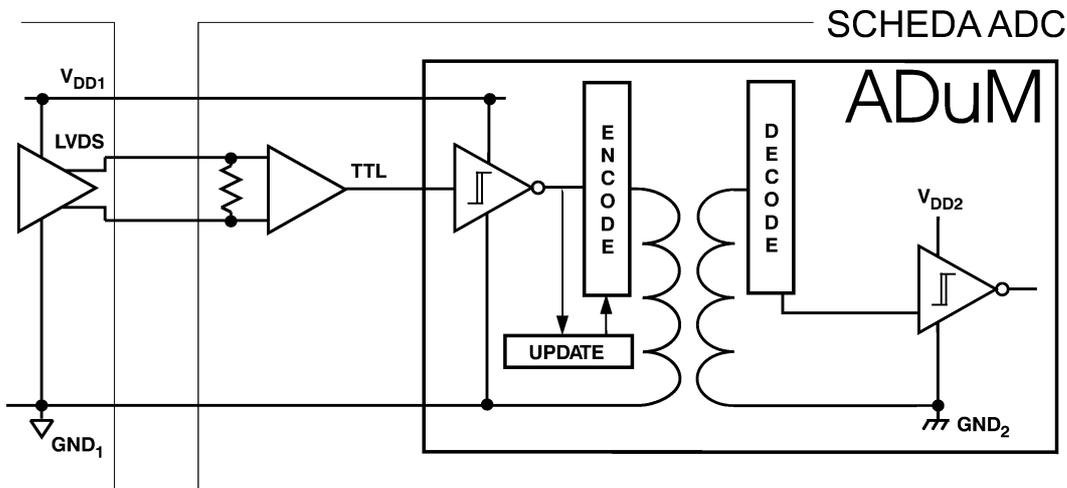


Figura 3.15: realizzazione del filtro passa-alto mediante ADuM1100 nel caso di linea entrante nella scheda ADC; per una linea uscente la configurazione è analoga.

un mezzo). Uno dei requisiti più importanti della elettronica di PAMELA è la velocità di esecuzione; evitando l'uso della codifica di Manchester ed usando semplicemente il protocollo d/s tale velocità risulta raddoppiata a parità di segnale di *clk* disponibile. Per far questo bisogna però utilizzare un metodo di disaccoppiamento dei segnali diverso dal semplice filtro passa-alto.

3.3.2 Filtro induttivo con componenti attive

La soluzione da noi effettivamente adottata per evitare l'uso della codifica di Manchester consiste nel fare uso di una componente attiva: ADuM1100 [10] (della Analog Devices). Si tratta di un circuito integrato che realizza la funzione di filtro per le basse frequenze mediante un trasformatore (v. fig. 3.15), che accoppia i circuiti di ingresso e di uscita.

Una variazione nella tensione in ingresso provoca nel trasformatore un impulso di corrente, il cui segno dipende dal verso della transizione; il decodificatore è bistabile e lo

stato dipende dal segno dell'ultimo impulso di corrente ricevuto.

La caratteristica distintiva di tale componente è la logica interna che si occupa di mantenere costante il livello di tensione in uscita: in assenza di transizioni in ingresso per più di $2\mu\text{s}$ il circuito di aggiornamento (*update* in figura) invia al decodificatore un impulso di corrente di segno opportuno.

Per quanto riguarda il nostro sistema, su ogni scheda degli ADC è presente un ADuM per ciascuna delle 4 linee di trasmissione. ADuM1100 lavora con segnali logici TTL, quindi nel caso di linea in ingresso (come in figura) esso opera sul segnale generato dal ricevitore LVDS; per le linee in uscita invece è ADuM1100 a fornire il segnale per il trasmettitore LVDS.

Per alimentare il lato del trasformatore rivolto verso la scheda dei DSP si è reso necessario portare tensione di alimentazione e massa della scheda dei DSP su ciascuna sezione di scheda ADC mediante due ulteriori fili, che si aggiungono agli 8 che costituiscono le 4 linee differenziali per la trasmissione seriale (2 linee entranti e 2 uscenti per ciascuna sezione ADC).

3.4 Modulo ADC

In questa sezione descriverò la macchina logica sincrona che ho progettato e realizzato all'interno della FPGA Actel A54SX16P per essere usata, come modulo di controllo ADC, nella versione definitiva del sistema tracciante. In sez. 4.1 descriverò la procedura seguita nello sviluppo di tale progetto.

Il modulo ADC gestisce la digitalizzazione da parte di AD7476 dei 1024 segnali delle strisce della sezione di rivelatore corrispondente e si occupa di trasmettere al modulo DSP i dati forniti dall'ADC via via che si rendono disponibili.

Per compiere tali operazioni la macchina logica interna al modulo ADC necessita di un segnale di *clk* che viene ricostruito a partire dai segnali *data_in* e *strobe_in* (ved. fig. 3.16) provenienti dal modulo DSP (descritto in sez. 3.5).

Il periodo del *clk* effettivamente utilizzato per le prove di laboratorio è di 50 ns e dipende, come vedremo in sez. 3.5, dalla frequenza dell'oscillatore al quarzo, montato sul prototipo di scheda DSP, che fornisce il segnale *main_clk*; per la compatibilità con le caratteristiche temporali dei dispositivi controllati (in particolare l'ADC) ho fatto riferimento a tale periodo, tuttavia simulazioni da me effettuate mostrano che la macchina dovrebbe poter funzionare correttamente anche per periodi di *clk* inferiori (uguali o superiori a 25 ns).

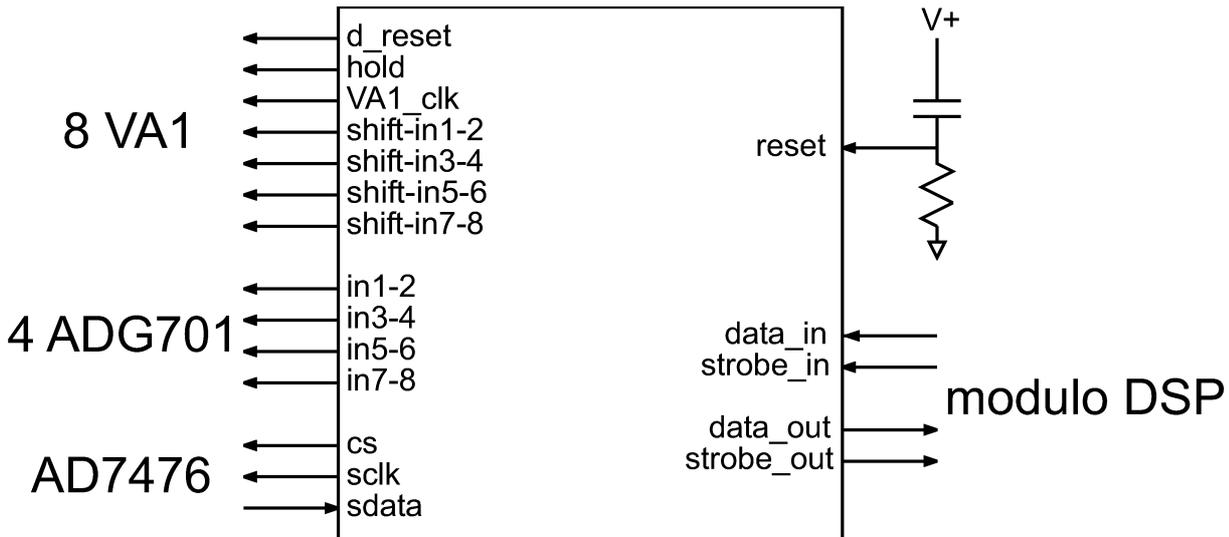


Figura 3.16: interfaccia esterna del modulo ADC. L'ingresso *reset* per l'inizializzazione della logica va a 1 all'accensione, dopodiché a causa dello scaricamento del condensatore esso torna rapidamente allo stato 0.

Ho strutturato la macchina in modo da compiere 1025 cicli operativi in maggioranza identici fra loro (macchina ciclica): la durata di ogni ciclo è di 40 periodi di *clk*. La sequenza di bit inviata dal modulo DSP sulle linee *data_in* e *strobe_in* (sequenza di comando) viene decodificata, come vedremo, per eseguire particolari cicli speciali.

L'interfaccia del modulo ADC è illustrata in fig. 3.16. Per chiarezza tutti i segnali logici verranno d'ora in avanti trattati come normalmente bassi.

Riassumiamo la sequenza di operazioni svolte da ciascun modulo ADC per ogni evento valido (ved. anche fig. 3.19).

Normalmente le linee di comando *data_in* e *strobe_in* si trovano nello stato quiescente; quando, in conseguenza di un *trigger*, è necessario compiere un ciclo di acquisizione, il DSP inizia a trasmettere la sequenza di comando. Con l'arrivo della prima transizione sulle linee di comando il modulo ADC asserisce *hold*: tutti i circuiti *track and hold* degli 8 VA1 acquisiscono il valore in ingresso e lo mantengono fino a che *hold* non viene negato. Segue un periodo di attesa di durata prefissata dopodiché la macchina compie 1025 cicli così strutturati:

- l'asserzione del segnale *cs* dà inizio al ciclo dell'ADC: il circuito *track and hold* dell'ADC acquisisce il valore in ingresso, dopodiché è possibile portare all'ingresso dell'ADC il successivo segnale da convertire.

Ciò viene fatto con una transizione positiva di *VA1_clk*; per i cicli 1, 257, 513 e 769 (quando cioè si inizia a leggere una nuova coppia di VA1, ogni 256 cicli) la transizione positiva di *VA1_clk* deve essere preceduta da quella di uno e uno solo dei

4 *shift-in*; contemporaneamente viene chiuso il corrispondente ADG701 e aperti gli altri 3.

Conviene generare il segnale *VA1_clk* al più presto in modo da avere più tempo per la stabilizzazione del segnale in uscita dal VA1.

Si noti che nel ciclo *n*-esimo avviene la conversione del segnale (*n*-1)-esimo seguita dalla commutazione sul segnale *n*-esimo. Il risultato della prima conversione verrà ignorato.

- La conversione da parte dell'ADC prosegue dopo il *cs* con 32 transizioni di *sclk* e si conclude con l'innalzamento di *cs*.
- Via via che i bit significativi si presentano serialmente all'uscita *sdata* dell'ADC, essi sono letti e trasmessi al modulo DSP, con la codifica d/s.
- Il 1025-esimo ciclo si distingue in quanto dopo l'inizio della conversione del 1024-esimo e ultimo segnale si ha la negazione di *hold* e la inizializzazione dei VA1 con il segnale *d_reset*.

Esaminiamo ora alcuni aspetti particolarmente delicati.

Cicli speciali e segnali di comando. La quasi totalità dei cicli sono identici fra loro; fanno eccezione i cicli 1, 257, 513 e 769 (i quali differiscono fra loro solamente per la coppia di VA1 e l'ADG701 che divengono attivi) e infine l'ultimo ciclo. Perché la macchina logica interna al modulo ADC riconosca il tipo di ciclo e agisca di conseguenza il modulo DSP (o meglio una sua parte che chiameremo unità di comando, descritta in sez. 3.5.1) invia al momento opportuno due distinti segnali di comando: *shift* (per i cicli 1, 257, 513 e 769) oppure *end* (per il 1025-esimo ciclo). I due comandi sono trasmessi sulle linee *data_in* e *strobe_in* mediante una semplice codifica seriale. Normalmente la linea *data_in* si trova nello stato di riposo 1 (arbitrariamente scelto); il segnale *shift* è codificato come due 0 consecutivi (...110011...), *end* come due zeri intervallati da un 1 (...1101011...).

All'interno del modulo ADC il decodificatore d/s è seguito da un decodificatore seriale (fig. 3.17; ved. anche *inst50* in fig. 3.18) che ha il compito di produrre i segnali *shift* e *end*. Un registro a scorrimento tiene in memoria gli ultimi 3 bit trasmessi dall'unità di comando, cioè il dato attualmente in uscita dal ricevitore d/s (*data*), quello emesso un *clk* prima (*d1*) e quello emesso due *clk* prima (*d2*). Questi 3 bit vengono inviati ad un normale decodificatore parallelo a due uscite.

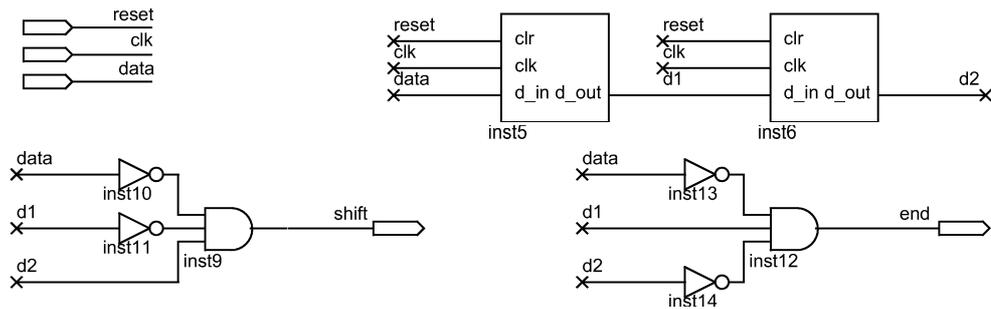


Figura 3.17: decodificatore seriale.

Segnale *sclk* per AD7476. Particolare attenzione merita la generazione del segnale di sincronizzazione *sclk* per AD7476: per il corretto funzionamento dell'ADC tale segnale deve essere regolare, nel senso che, fissato il periodo, il rapporto fra la durata dello stato 1 e dello stato 0 (*duty-cycle*) deve essere sempre compreso fra 40/60 e 60/40. Per il *clk* utilizzato dal modulo ADC, generato dal ricevitore d/s (v. fig. 3.10), la durata dello stato 1 è caratteristica della particolare configurazione circuitale interna al ricevitore d/s e deve essere decisa una volta per tutte nella fase di realizzazione; inoltre cambia in funzione delle variabili d'ambiente. Volendo utilizzare tale segnale come *sclk* per l'ADC, il campo di valori possibili per la frequenza di *clk* è limitato dalla durata dello stato 1 scelta e dalle possibili variazioni ambientali.

Una soluzione qualitativamente superiore consiste nell'usare un *toggle flip-flop* (*inst42* in fig. 3.18) come divisore di frequenza. Quando l'ingresso *toggle* si trova nello stato 1, ad ogni transizione positiva di *clk* l'uscita cambia stato; se *toggle* è 0, l'uscita *out* resta invariata. In tal modo viene generato un segnale *sclk* con *duty-cycle* sostanzialmente uguale a 1, indipendentemente dal periodo e dal *duty-cycle* del *clk* originale.

Sincronizzazione con il modulo DSP. La trasmissione dei risultati di ciascuna conversione al modulo DSP avviene serialmente tramite il protocollo d/s. Ciascun modulo ADC dispone di un trasmettitore d/s che controlla le due linee *data_out* e *strobe_out*. La sincronizzazione fra il ciclo del modulo ADC e la parte di modulo DSP che si occupa di selezionare i 12 bit significativi di ogni conversione è assicurata dall'emissione di un comando di avvio tramite la linea dei dati (codifica seriale), semplicemente ritrasmettendo su tale linea (normalmente nello stato 1) la sequenza caratteristica del primo *shift* (due 0 consecutivi) inviata dall'unità di comando.

A questo scopo ciascun modulo ADC include un selettore (o *multiplexer*) dato/comando (*inst45-46* in fig. 3.18) prima dell'ingresso *data_in* del trasmettitore d/s (*inst49*). Il selettore inizialmente riproduce l'uscita *data* del ricevitore d/s (*inst37*) ossia la sequenza

di comando; dopo il passaggio del primo *shift* un opportuno segnale *enable* fa sì che il selettore commuti sulla sequenza di dati provenienti da AD7476 (*int_sdata*).

Lettura dei bit in uscita dall'ADC. Dall'analisi delle caratteristiche di AD7476 risulta che il ritardo interno fra la transizione negativa dell'ingresso *sclk* e la presentazione del bit all'uscita *sdata* può arrivare a 40 ns. Conviene quindi leggere l'uscita dell'ADC in corrispondenza delle transizioni negative di *sclk*: infatti anche supponendo di lavorare alla massima frequenza ammessa per *sclk* (20 MHz), due transizioni negative consecutive distano fra loro 50 ns, un tempo ancora sufficiente per avere il valore corretto e stabile su *sdata*.

La lettura dell'uscita dell'ADC viene effettuata tramite un apposito *flip-flop* (*inst38* in fig. 3.18) il quale aggiorna la propria uscita *int_sdata* solo con le transizioni negative di *sclk*.

Inoltre, pur non essendo essenziale ai fini del corretto funzionamento, si è preferito fare in modo che *int_sdata* sia nello stato 1 quando non rappresenta un bit significativo. In tal modo la linea *data_out* si trova nello stato 0 solo quando viene trasmesso il codice di avvio oppure un bit significativo che è 0.

Segnale di *time_out*. Per il corretto svolgimento di ogni ciclo operativo del modulo ADC occorre assicurarsi che la macchina logica interna si trovi nello stato di riposo prima dell'arrivo di ogni nuova sequenza di comando inviata dal modulo DSP.

Il segnale di *reset* agisce solamente all'accensione dell'elettronica; d'altra parte un segnale di inizializzazione esterno dovrebbe necessariamente provenire dal modulo DSP e richiederebbe una linea dedicata. Si è preferito quindi affidare tale funzione ad un apposito circuito realizzato sulla FPGA Actel che ospita il modulo ADC. Tale circuito, detto di *time_out*, è costituito da un oscillatore i cui impulsi vanno ad un contatore, che viene azzerato ad ogni nuova transizione sulle linee di comando (ogni 50 ns circa). In assenza di transizioni su dette linee, dopo 64 oscillazioni (pari a circa 250 ns), viene emesso il segnale di *time_out* che inizializza l'intero modulo ADC.

3.4.1 Struttura e sequenza operativa

Esaminiamo in dettaglio la struttura interna del modulo ADC (ved. fig. 3.18) e la sequenza temporale delle azioni effettuate (ved. fig. 3.19). La macchina logica dispone di un contatore principale a 6 bit (contatore 1, *inst2* in figura 3.18, con uscite $c[5..0]$) e compie un ciclo ogni 40 impulsi di *clk*. Un contatore ausiliario a 2 bit (contatore 2, *inst36*), con

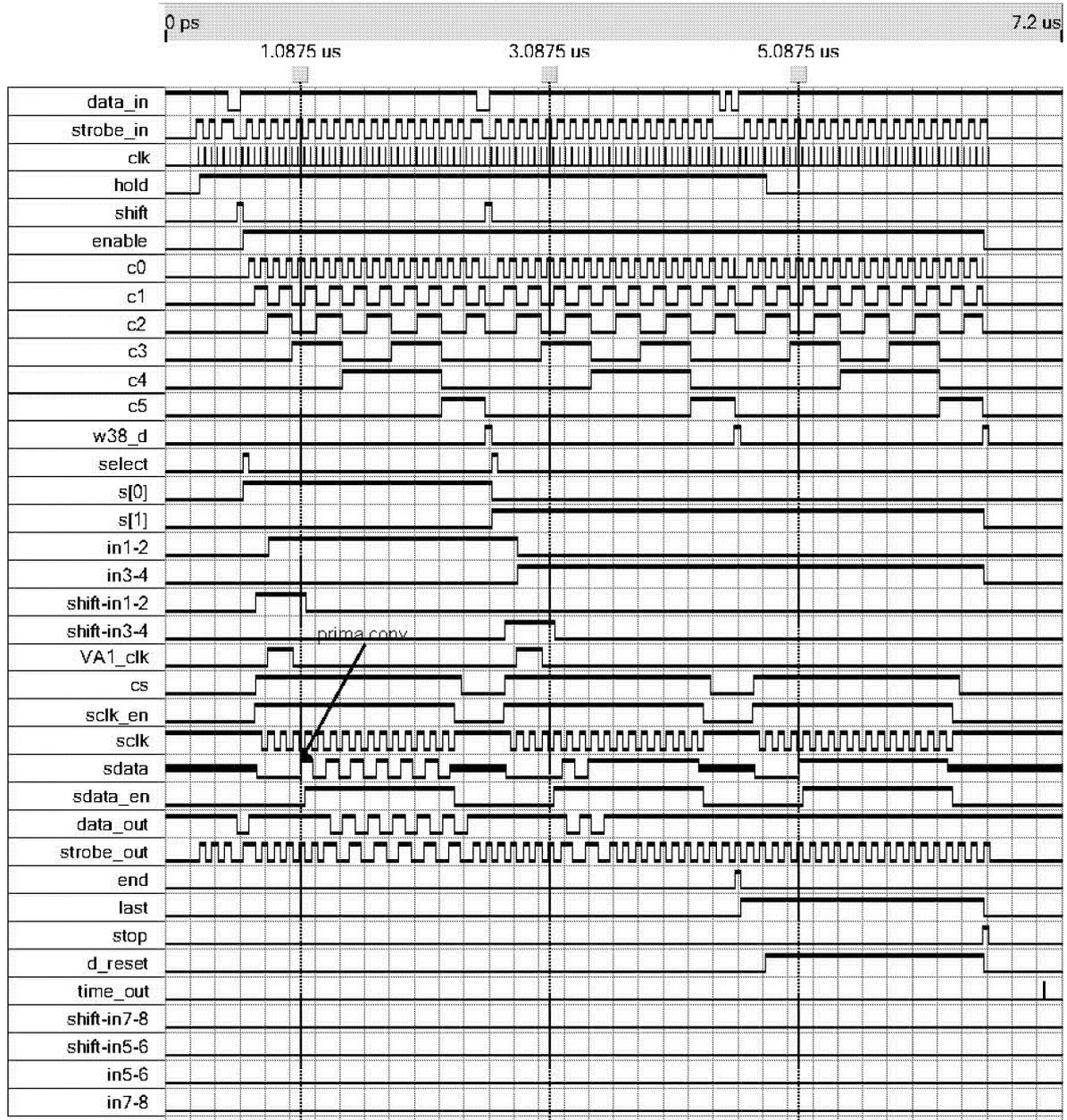


Figura 3.19: diagramma temporale dei principali segnali interni ed esterni per il modulo ADC. La sequenza temporale inviata al modulo ADC qui rappresentata è ridotta a 3 cicli corrispondenti ai cicli numero 1, 257 e 1025. Il periodo di clk è di 50ns.

Di seguito indicheremo le transizioni positive di clk con t_0 , t_1 ecc. a partire da quella che abilita il contatore 1, immediatamente successiva a t_{shift} . Consideriamo qui il primo ciclo (fino a t_{40}) evidenziando dove necessario le differenze fra questo e gli altri 1024, e facendo riferimento al diagramma temporale in fig. 3.19.

(t_0) Asserzione di $enable$ che abilita il contatore 1 e commuta il selettore sul dato int_sdata .

Asserzione di *select* che porta a 1 il codice $s[1..0]$ in uscita dal contatore 2. $s[1..0]$ varia dunque da 1 a 4 (o meglio 0) dopo ciascuno *shift*. Esso seleziona una delle 4 linee di uscita di un demoltiplicatore (*inst51*) per l'invio dello *shift-in* ad una delle 4 coppie di VA1; inoltre programma con 1 il *flip-flop* preposto alla generazione del segnale *in* per l'interruttore ADG701 corrispondente (e con 0 gli altri 3).

(**t₂**) Nei cicli 1, 257, 513, 769: asserzione di *shift-in* e quindi, tramite il demoltiplicatore (*inst51*), di una sola delle 4 uscite *shift-in1-2*, *shift-in3-4*, eccetera. Asserzione di *cs*.
Asserzione di *sclk_en*: il *toggle flip-flop* (*inst42*) viene abilitato e ad ogni *clk* successivo *sclk* compie una transizione. *sclk_en* sarà azzerato con t_{34} , in corrispondenza della 32-esima transizione di *sclk*. *sclk* è inizializzato a 1: la prima transizione avviene verso il basso con t_3 , l'ultima, la 32-esima, è verso l'alto. Il primo bit significativo della conversione in corso viene presentato all'uscita dell'ADC con la quarta transizione negativa di *sclk*, ossia con t_9 ; il 12-esimo e ultimo bit con la 15-esima, ossia t_{31} .

(**t₄**) Asserzione di *VA1_clk*: l'uscita analogica del VA1 correntemente abilitato commuta sul successivo canale. *VA1_clk* sarà azzerato con t_8 (l'effettiva durata di *VA1_clk* è inessenziale).

Con il fronte di salita di *VA1_clk* vengono aggiornate le 4 uscite *in* verso gli ADG701.

Nel ciclo 1025: con *last* alto, *VA1_clk* non viene asserito; si ha invece l'asserzione di *d_reset* e l'azzeramento di *hold*.

(**t₁₀**) Asserzione di *sdata_en* che sarà azzerato con t_{34} . L'uscita del *flip-flop* (*inst38*) così abilitato, *int_sdata*, è stata inizializzata a 1. La successiva transizione negativa di *sclk* con t_{11} (la quinta) aggiornerà *int_sdata* con il primo bit significativo della conversione in corso; la 16-esima e ultima (con t_{33}) aggiornerà *int_sdata* con il 12-esimo e ultimo bit.
Asserzione di *shift-in_clr* che azzerà *shift-in*. *shift-in_clr* resta asserito per 256 cicli fino al successivo *select* che lo azzerà; in tal modo *shift-in* viene nuovamente asserito solo nel 257-esimo ciclo ecc., come desiderato.

(**t₃₄**) Azzeramento di *sclk_enable* in corrispondenza della 32-esima transizione di *sclk*: l'uscita *sclk* non cambia più stato fino a t_3 del successivo ciclo.

(**t₃₅**) Azzeramento di *cs*: fine del ciclo operativo dell'ADC.

int_sdata è portato a 1 e non cambierà più fino a t_{11} del successivo ciclo.

(t_{39}) Asserzione di *count_clr* che azzerà il contatore 1.

Nei cicli 256, 512, 768 ossia dopo che con t_4 è stato inviato il 256-esimo e ultimo *VA1_clk* per una data coppia di VA1, il decodificatore seriale invia il segnale *shift* che programma con 1 *select*.

Nel ciclo 1024 il decodificatore seriale invia il segnale *end* che programma con 1 *last*.

Nel ciclo 1025: con *last* asserito, asserzione di *stop* che azzerà i 2 contatori e inizializza tutti i segnali, tranne *stop* e *w38_d* che saranno negati con il successivo t_{40} .

(t_{40}) Negazione di *w38_d* per cui con il successivo *clk* ricomincia il ciclo (l'uscita del contatore 1 va a 1).

Nei cicli 256, 512, 768: asserzione di *select* che incrementa $s[1..0]$ di 1 selezionando la successiva coppia di VA1; inoltre azzerà *shift-in_clr* in modo che con t_2 del ciclo successivo *shift-in* possa compiere una transizione positiva.

Nel ciclo 1024: asserzione di *last* (segnale interno di ultimo ciclo), il quale azzerà *VA1_clk*.

Nel ciclo 1025: negazione di *stop* in corrispondenza dell'ultimo *clk* inviato dal modulo di comando e ritorno automatico nello stato di riposo.

(t_{time_out}) Asserzione di *time_out* che porta in ogni caso la macchina nello stato di riposo.

3.5 Modulo DSP

In questa sezione descriverò la macchina logica sincrona che ho realizzato nella FPGA Altera APEX20KE e che costituisce parte del modulo di controllo DSP utilizzato nel prototipo di scheda di terzo stadio attualmente a nostra disposizione. In sez. 4.1 descriverò la procedura seguita nello sviluppo di tale progetto.

Di seguito sono riassunte le funzioni che dovranno essere svolte dal modulo di controllo DSP.

1. All'atto dell'inizializzazione dell'apparato sperimentale: ricevere dall'elettronica centrale di PAMELA il programma di compressione e memorizzarlo nel DSP tramite la porta IDMA.
2. Per ogni *trigger* dato dal TOF: inviare la sequenza di comando ai 3 moduli ADC

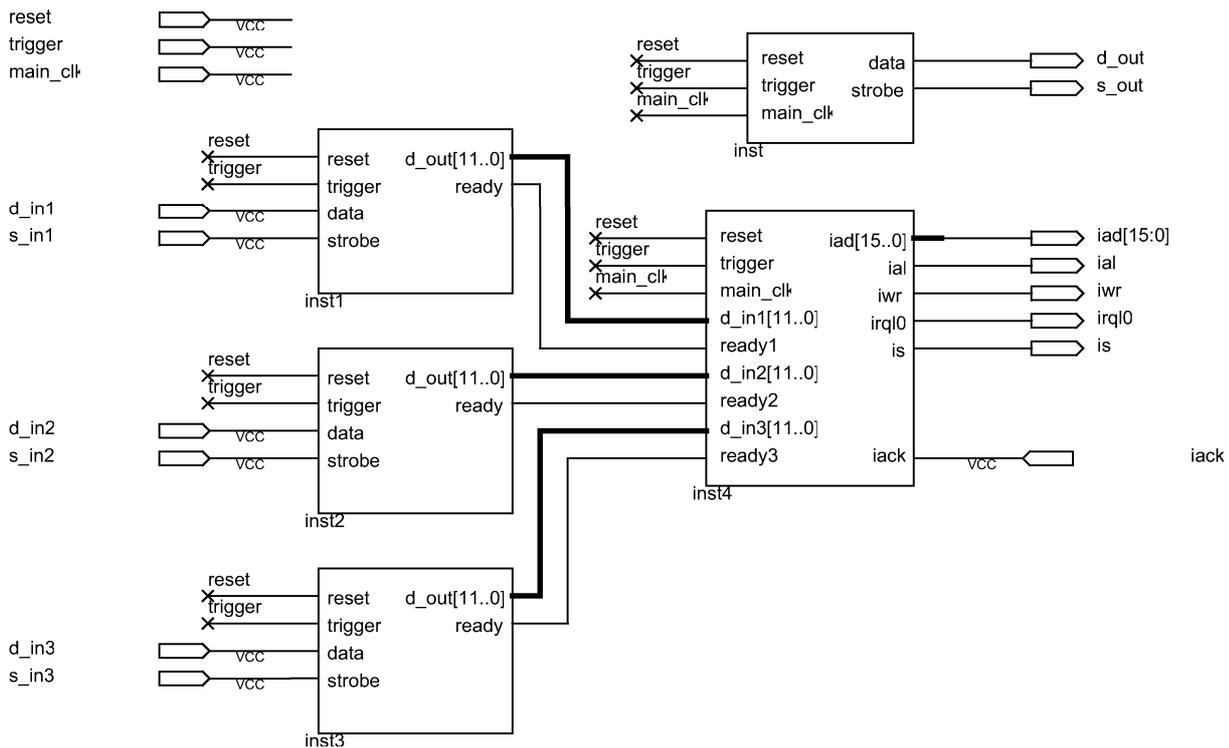


Figura 3.20: la parte del modulo DSP che si occupa della gestione di 3 moduli ADC e della memorizzazione dei dati in ADSP2187L.

controllati; ricevere da questi i 12 bit di dati di ognuno dei 1024 cicli di conversione; scrivere tali dati nella memoria interna del DSP, sempre mediante IDMA.

3. Dopo la fine della compressione operata dal DSP: leggere i dati compressi presenti nella memoria del DSP e trasmetterli all'elettronica centrale di PAMELA.

La parte del modulo DSP da me progettata è quella indicata al secondo punto del precedente elenco e sarà descritta in dettaglio nel seguito del capitolo. Lo schema generale di tale parte è riportato in fig. 3.20. Per chiarezza tratteremo d'ora in avanti tutti i segnali logici come normalmente bassi.

L'invio della sequenza di comando ai 3 moduli ADC, mediante le linee *d_out* e *s_out*, viene realizzato da una sezione che chiameremo unità di comando o *sequencer* (*inst* in figura).

La ricezione dei dati di ciascun modulo ADC (linee *d_in1*, *s_in1* ecc.) è effettuata da un ricevitore; vi sono quindi 3 ricevitori che operano in parallelo (*inst1-3* in figura).

Il controllore IDMA (*inst4*) si occupa della memorizzazione dei dati nel DSP; si noti che 3 dati a 12 bit devono essere scritti in memoria nel tempo di un ciclo del modulo ADC. Il controllore si coordina con i 3 ricevitori mediante un apposito segnale di abilitazione

che chiameremo *ready*, fornito da ciascun ricevitore non appena ha reso disponibili i 12 bit significativi sulla propria uscita parallela.

Si ricorda che l'effettuazione di una singola operazione di scrittura IDMA avviene in un numero di cicli interni del DSP che dipende dalle altre operazioni in cui è eventualmente impegnato; d'altra parte il tempo a disposizione per il completamento di 3 operazioni di scrittura IDMA è un ciclo del modulo ADC, corrispondente a 40 periodi di *clk* (cioè $40 \cdot 50 \text{ ns} = 2 \mu\text{s}$), che normalmente è ampiamente sufficiente.

Conviene predisporre comunque una verifica del completamento della memorizzazione: se il controllore si trova a dover iniziare un nuovo ciclo di memorizzazione prima dell'avvenuta conclusione della terna di operazioni di scrittura precedente, esso invia al DSP una richiesta di *interrupt* (*interrupt request* o in breve IRQ) utilizzando l'ingresso dedicato *irq0* a bassa priorità.

La *routine* che verrà eseguita dal DSP in seguito a tale richiesta segnalerà al calcolatore centrale di PAMELA l'errore nella fase di memorizzazione, per cui l'evento dovrà essere scartato.

Unità di comando e controllore IDMA utilizzano lo stesso segnale di sincronizzazione *main_clk* (generato da un apposito oscillatore al quarzo con periodo 25 ns montato sul nostro prototipo di scheda). L'unità di comando mediante un *toggle flip-flop* ricava il segnale *clk* di periodo doppio che il trasmettitore d/s invia ai 3 moduli ADC. Quindi ricordando quanto detto in sez. 3.4 il segnale *sclk* inviato ad AD7476 ha periodo quadruplo rispetto a *main_clk*. Il minimo periodo che AD7476 ammette per *sclk* è 50 ns, a cui corrisponde un periodo di *main_clk* di 12.5 ns, ancora compatibile con i requisiti temporali della FPGA. Avere *main_clk* di periodo più piccolo possibile permette di ridurre il tempo che intercorre fra la fine di un ciclo di scrittura IDMA e la successiva richiesta da parte del controllore, come vedremo meglio nell'analisi dettagliata più avanti.

3.5.1 Unità di comando

Come si è detto la funzione dell'unità di comando è di inviare la sequenza di comando a 3 moduli ADC, in risposta alla ricezione del segnale di *trigger*. La sequenza di bit che il trasmettitore d/s invia sulla linea *data* viene fornita dall'uscita di un decodificatore in base al codice dato da un contatore.

La struttura dell'unità di comando è illustrata in fig. 3.21.

La durata della sequenza di comando in termini di periodi di *clk* è data dalla durata di un singolo ciclo di conversione (40 periodi) moltiplicata per il numero totale dei cicli

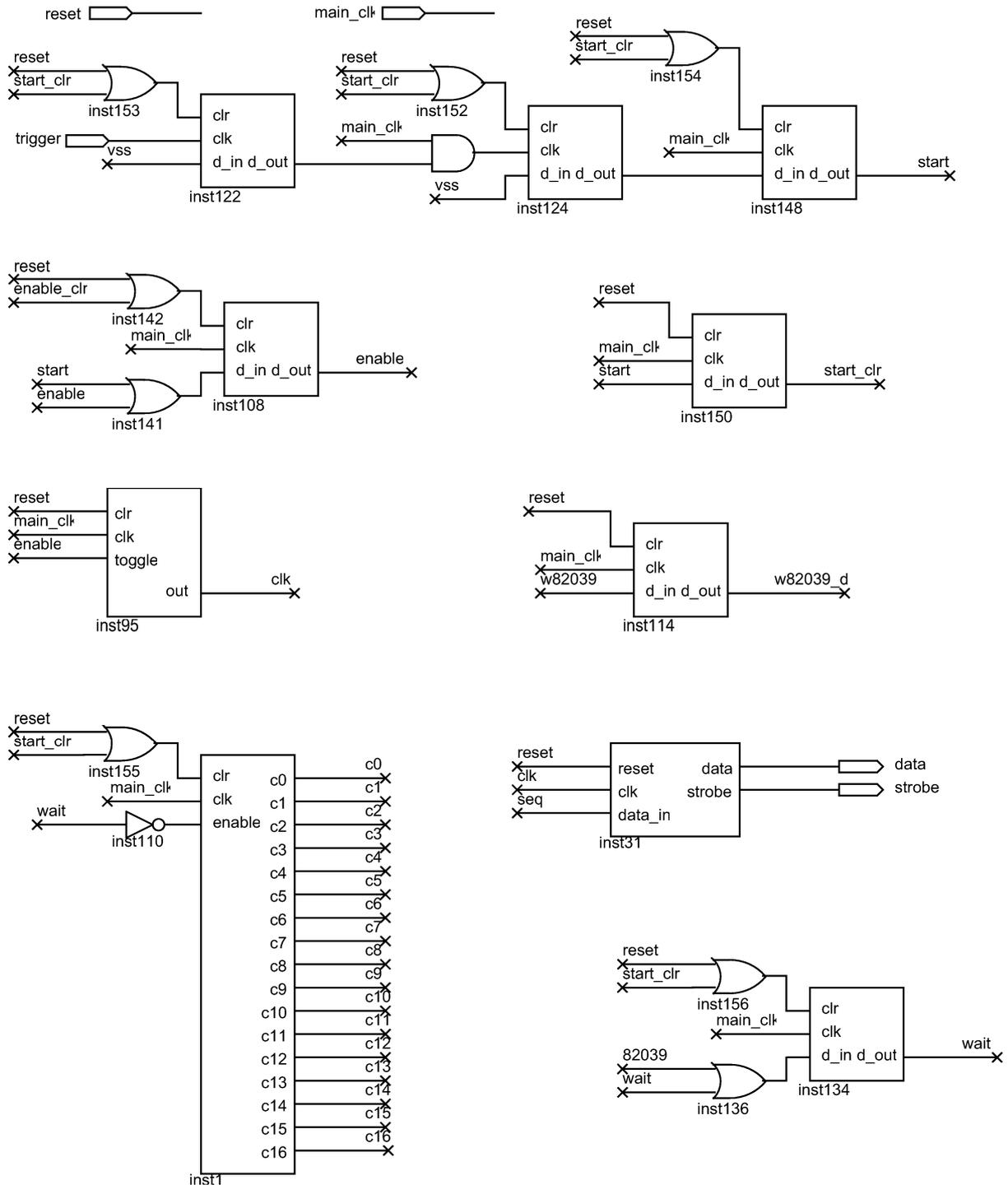


Figura 3.21: struttura dell'unità di comando.

(1025), per un totale di 41000 clk , a cui va sommato l'intervallo fra il primo clk della sequenza (che asserisce *hold*) e il primo clk del primo ciclo. Tale intervallo è stato scelto di 20 clk : dunque la sequenza di comando dura 41020 clk ossia 82040 $main_clk$ (l'ultimo $main_clk$ serve a riportare clk a 0).

Il contatore deve poter raggiungere il numero 82039 per cui deve essere a 16 bit

(massimo conteggio: $2^{17} - 1 = 131071$, mentre $2^{16} - 1 = 65535$ per un contatore a 15 bit).

Vediamo la successione delle operazioni, in sincronia con i fronti di salita di *main_clk*.

(t_{start}) La transizione positiva di *trigger* comporta l'asserzione del segnale sincrono *start* che avvia la macchina logica.

(t_{enable}) Asserzione di *enable* che abilita il *toggle flip-flop* la cui uscita *clk* si trova normalmente nello stato 0; con il successivo *main_clk* si avrà la prima transizione positiva di *clk* e quindi la trasmissione del primo bit verso il modulo ADC.

Asserzione di *start_clr* che oltre ad azzerare *start*, azzerava il contatore e forza a 1 l'uscita *seq* del decodificatore.

Identificheremo i successivi fronti di salita di *main_clk* in base al codice in uscita dal contatore.

(t_1) ecc. I bit vengono trasmessi al modulo ADC in corrispondenza di ogni transizione positiva di *clk* cioè con gli impulsi dispari di *main_clk*. L'uscita *seq* del decodificatore (non rappresentato in figura) è normalmente nello stato 1 e va a 0 solamente in occasione delle sequenze di *shift* (due 0 consecutivi) e *end* (due 0 intervallati da un 1).

In particolare il decodificatore deve portare *seq* a 0 in corrispondenza del *main_clk* (pari) che precede la trasmissione di uno 0. Tenendo conto del ritardo di 2 *clk* fra l'invio del primo 0 (per lo *shift* iniziale) e l'abilitazione del contatore nel modulo ADC (vedi 3.4), che vogliamo far corrispondere a t_{20} , si ricava che il primo 0 deve essere trasmesso con t_{18} e quindi *seq* deve andare a 0 con $(t_m)_{34}$.

I successivi *shift* e *end* sono distanziati da un intervallo di 256 cicli del modulo ADC ossia 20480 *main_clk*; si noti che per l'*end* il primo 0 è anticipato di 2 *main_clk* in modo da frapporre un 1.

(t_{82040}) Azzeramento di *enable* in modo che il trasmettitore non riceva più *clk*. Si noti che il segnale *clk* si trova a 0.

Asserzione di *wait* che disabilita il contatore le cui uscite restano ferme su 82040.

(t_{start}) Un nuovo segnale di *trigger* avvia un nuovo ciclo. *start_clr* azzererà il contatore e lo abiliterà azzerando *wait*; a questo punto la macchina ripeterà per intero la trasmissione della sequenza di comando.

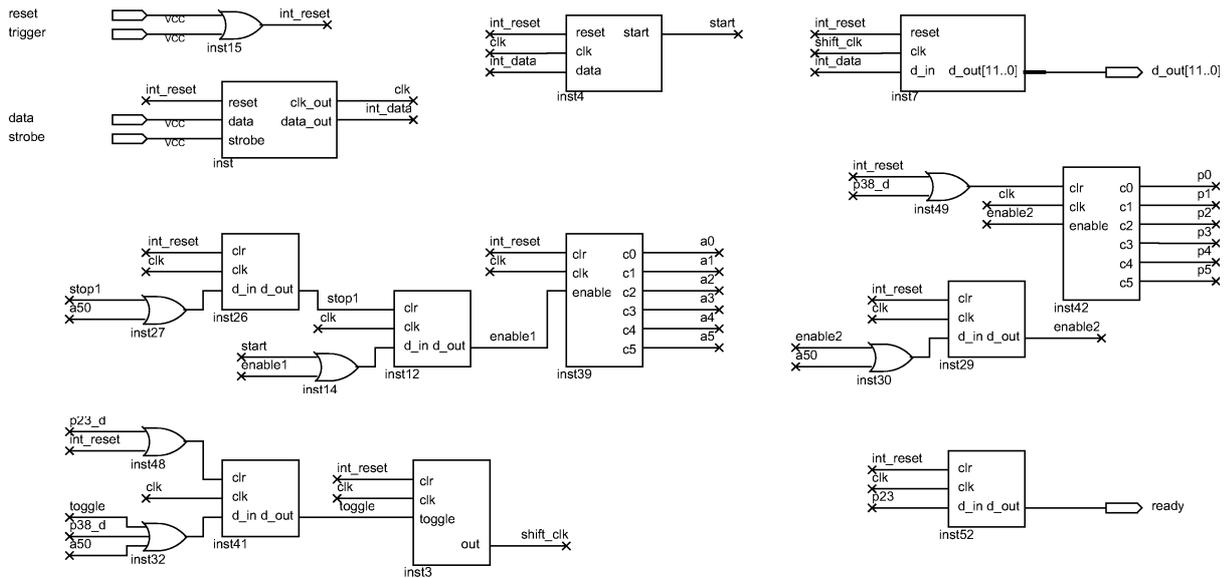


Figura 3.22: struttura del ricevitore.

Sincronizzazione del segnale di avvio L'avvio della macchina logica è dato dalla transizione positiva di *trigger*: *trigger* funge da *clk* per un primo *flip-flop* il quale attiva il resto della macchina che lavora in modo sincrono rispetto a *main_clk*. Poiché *trigger* viene generato indipendentemente da *main_clk* l'uscita del primo *flip-flop* può compiere una transizione troppo ravvicinata ad un fronte di salita di *main_clk*, con violazione del tempo di impostazione o di ritenuta del segnale in ingresso ad un *flip-flop*. Questa eventualità può portare i successivi *flip-flop* in uno stato indeterminato, con conseguente mancato funzionamento di tutta la logica. Tale rischio viene evitato interponendo un ulteriore *flip-flop* con all'ingresso *clk* l'AND dell'uscita del primo *flip-flop* e di *main_clk* (*inst124* in fig. 3.21) e assicurandosi che il dato in uscita da tale *flip-flop* intermedio rispetti i requisiti sul *setup time*.

3.5.2 Ricevitore

A ciascuno dei 3 ricevitori arriva il treno continuo di dati inviato da uno dei 3 moduli ADC secondo il protocollo d/s; scopo del ricevitore è selezionare per ogni conversione (cioè 1024 volte per evento) la sequenza di 12 bit significativi e presentarli in parallelo al controllore IDMA in modo che possano essere utilizzati per la scrittura nella memoria del DSP.

La struttura interna del ricevitore è riportata in fig. 3.22.

Ho strutturato il ricevitore come una macchina sincrona ciclica che si ricostruisce il *clk* utilizzando i segnali d/s in arrivo dal modulo ADC.

Il ciclo operativo del ricevitore dura quanto quello del modulo ADC (40 impulsi di clk); i due cicli sono coordinati tramite l'invio da parte del modulo ADC sulla linea dei dati del codice di avvio (due 0 consecutivi). Un decodificatore seriale ($inst4$ in figura) genera il segnale $start$ di avviamento in modo analogo a quanto visto per il modulo ADC (v. sez. 3.4).

La presentazione in parallelo dei 12 bit significativi avviene tramite un registro a scorrimento ($inst7$). L'ingresso int_data del registro proviene dal ricevitore d/s; l'uscita parallela a 12 bit $d_out[11..0]$ è inviata al controllore IDMA (v. fig. 3.20). Si noti che il bit più significativo di ogni conversione è il primo ad arrivare e quindi al momento della lettura del registro si troverà alla fine della catena di *flip-flop* che costituisce il registro.

Fra l'arrivo del secondo 0 della sequenza di avvio (che coincide con l'emissione di $start$ da parte del decodificatore seriale) ed il primo bit significativo della *seconda* conversione trascorrono 52 periodi di clk . Ricordando il funzionamento del modulo ADC descritto in sez.3.4 si trova infatti che l'uscita del selettore dato/comando (v. fig. 3.18) riproduce il secondo 0 del primo *shift* con t_{shift} mentre il primo bit della seconda conversione è presente a partire da t_{51} .

Lo $start$ abilita un contatore ausiliario ($inst39$) che attende 52 clk e dà l'avvio al contatore principale ($inst42$) non appena è disponibile il primo bit della seconda conversione. Il contatore principale compirà poi 1024 cicli identici. Entrambi i contatori sono a 6 bit in quanto conteranno rispettivamente fino a 52 e 40.

Si noti che ciascuno dei 12 bit significativi resta asserito per 2 periodi di clk ; dunque bisogna inviare al registro a scorrimento un clk (che chiameremo *shift-clk*) di periodo doppio (ricavato mediante un *toggle flip-flop*).

Consideriamo in dettaglio il ciclo del contatore ausiliario che porta all'avvio del contatore principale (fig. 3.23) e di seguito il primo ciclo del contatore principale (fig. 3.24).

($t_{trigger}$) Inizializzazione: per ogni nuovo evento valido il segnale *trigger* porta ciascun *flip-flop* nel proprio stato di riposo.

(t_{start}) Il decodificatore seriale asserisce $start$ per un periodo di clk e programma con 1 $enable1$.

($t_{enable1}$) Segue immediatamente t_{start} ; asserzione di $enable1$ che abilita il contatore ausiliario. $enable1$ sarà azzerato da $stop1$.

Per identificare i successivi fronti di salita di clk farò riferimento ai valori assunti dalle uscite del contatore ausiliario (a) e principale (p).

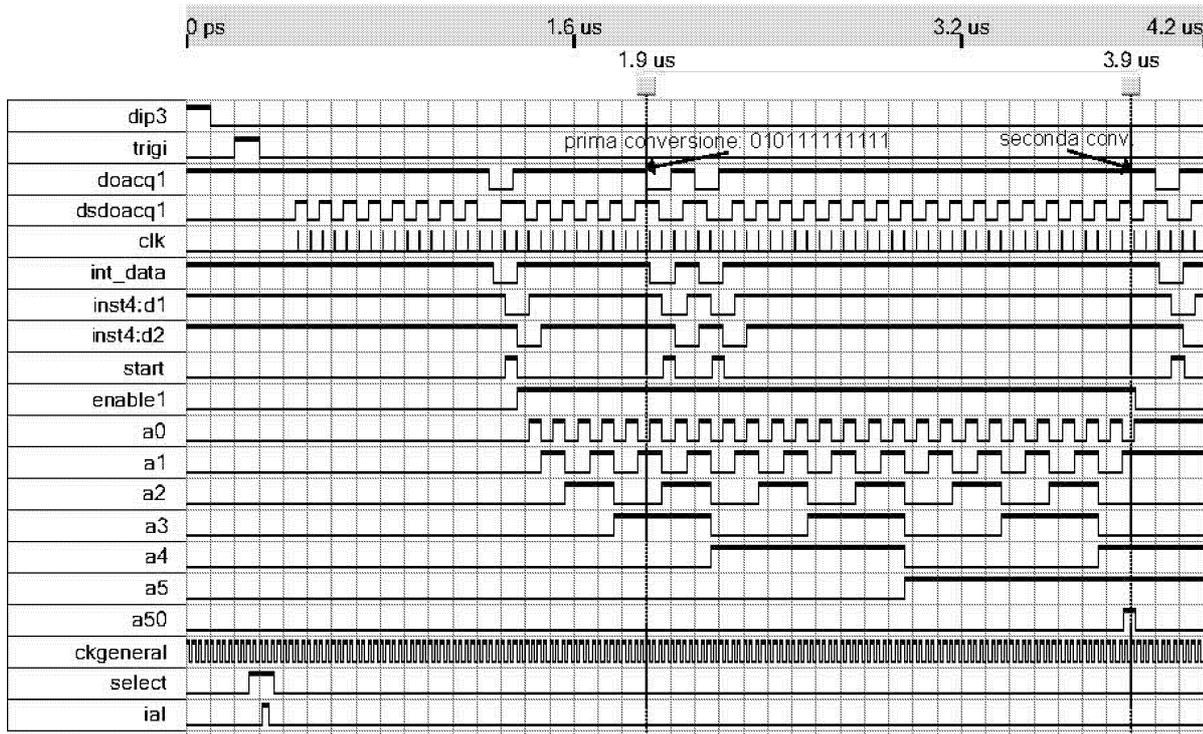


Figura 3.23: modulo DSP: ciclo di indirizzamento del controllore IDMA e ciclo ausiliario del ricevitore fino all'avvio del contatore principale. Si tratta di una simulazione del circuito reale con clk di periodo 50 ns.

(t_{a50}) Asserzione di $a50$ che programma con 1 $stop1$ e $enable2$.

(t_{a51}) Asserzione di $stop1$ che resta alto fino al nuovo evento (*trigger*). $stop1$ azzerava $enable1$ e quindi arresta il contatore ausiliario sul valore 51. Il contatore ausiliario non sarà più utilizzato fino all'evento successivo.

Asserzione di $enable2$ che abilita il contatore principale.

Asserzione di $toggle$ che abilita il *toggle flipflop*. Ad ogni successivo fronte di salita di clk il segnale $shift_clk$ compirà una transizione. Sono necessarie 12 transizioni positive per trasferire i 12 bit significativi all'uscita parallela del registro a scorrimento. $toggle$ verrà azzerato con la 12-esima transizione negativa che riporterà $shift_clk$ a 0.

(t_{p1}) Segue immediatamente t_{a51} .

Prima transizione positiva di $shift_clk$; si noti che il primo bit significativo giunge all'ingresso del registro a scorrimento con t_{a51} cioè 52 clk dopo t_{start} .

(t_{p23}) 12-esima transizione positiva di $shift_clk$; l'uscita parallela del ricevitore è pronta per essere letta.

(t_{p24}) Asserzione di $ready$ per l'avviamento del controllore IDMA.

12-esima transizione negativa di $shift_clk$; azzeramento di $toggle$ che ferma le transizioni.

(t_{p39}) Asserzione di $p38_d$ che azzerava il contatore principale e programma $toggle$ con 1.

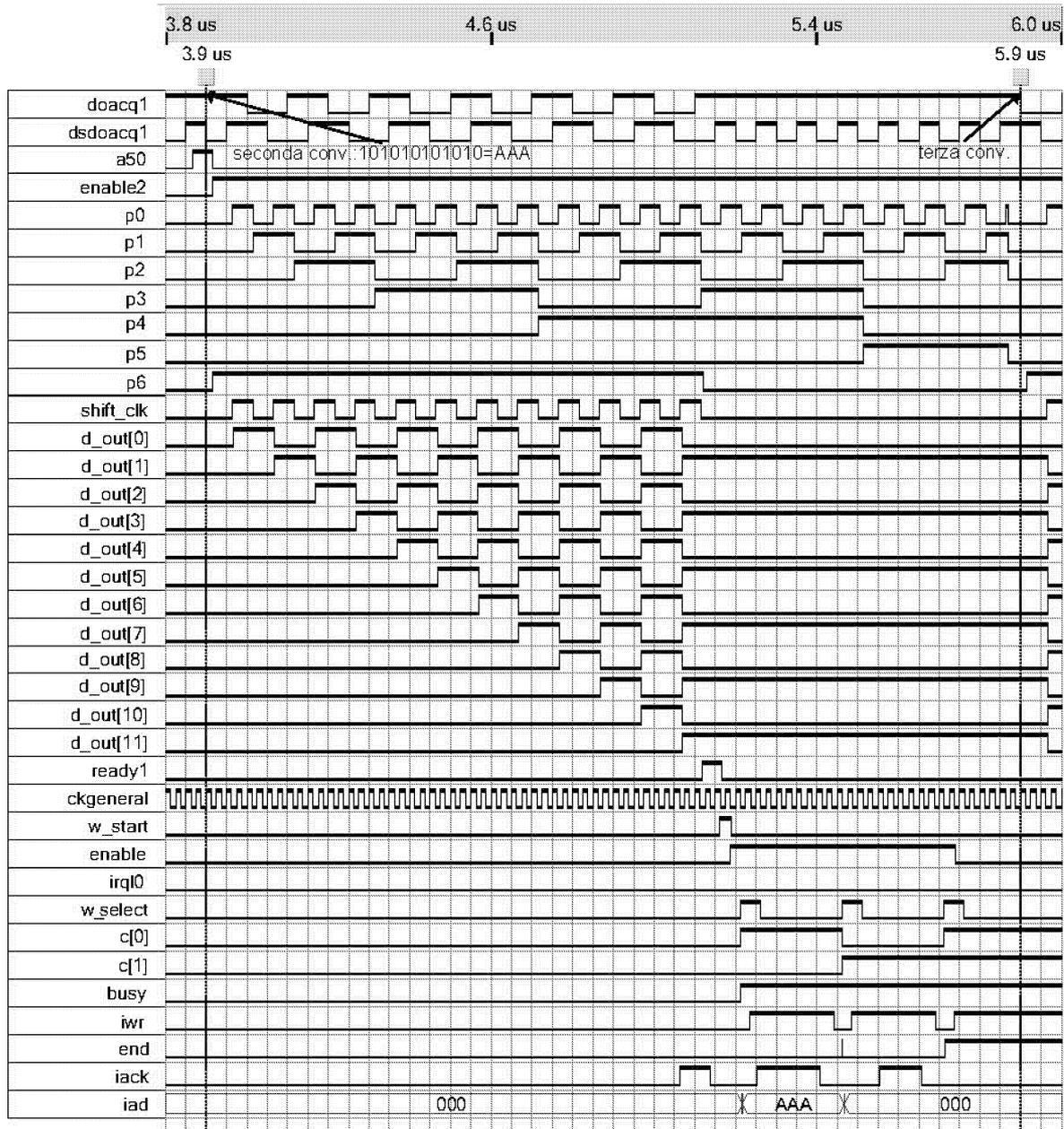


Figura 3.24: modulo DSP: primo ciclo principale del ricevitore e primo ciclo di scrittura del controllore IDMA.

(t_{p40}) Negazione di $p38_d$; con il clk successivo il contatore principale riparte da 1 per il nuovo ciclo.

Nuova asserzione di *toggle*.

Si noti che l'ultimo clk inviato dal modulo ADC coincide con t_{p27} del 1024-esimo e ultimo ciclo del contatore principale. Tuttavia il controllore IDMA è già stato avviato con t_{p24} e inoltre l'evento successivo comporterà una nuova inizializzazione, per cui l'effettiva

durata dell'ultimo ciclo dopo t_{p24} è del tutto ininfluenza.

3.5.3 Controllore IDMA

Il controllore IDMA effettua la scrittura dei dati provenienti dal modulo ADC nella memoria dati interna del DSP mediante la porta IDMA. Si ricorda che la memoria programmi è già occupata dal programma di compressione, mentre la memoria dati è completamente libera.

Il modo più efficiente di utilizzare la scrittura IDMA consiste nello scrivere i dati in locazioni di memoria consecutive, senza cicli intermedi di indirizzamento, sfruttando il fatto che al termine di ogni ciclo di scrittura IDMA il registro *IDMA_control* (che indica l'indirizzo di memoria su cui sarà effettuata la prossima scrittura) viene automaticamente incrementato di 1 dal DSP. Il controllore effettuerà dunque un ciclo di indirizzamento IDMA in risposta al segnale di *trigger* in modo da specificare come indirizzo di partenza la locazione 0 della memoria dati. In seguito, con l'arrivo dei dati, il controllore si limiterà ad effettuare una serie di $1024 \cdot 3$ cicli di scrittura IDMA, in cui ogni dato a 12 bit viene scritto in una locazione di memoria successiva. Essendo ogni locazione di memoria a 16 bit, il dato occuperà solo i 12 bit meno significativi; il valore dei 4 bit restanti sarà ignorato.

La struttura interna del controllore IDMA è in fig. 3.25.

Il controllore dispone di 3 registri di ingresso a 12 bit per la conservazione dei dati lungo un intero ciclo del modulo ADC. Ciascun registro di ingresso riceve i dati direttamente dal registro a scorrimento di un ricevitore, il quale presenta i 12 bit significativi della conversione a partire dalla 12-esima transizione positiva dello *shift_clk* interno al ricevitore (t_{p23}) e fino alla prima transizione di *shift_clk* del ciclo successivo (t_{p1}), per complessivi 18 periodi di *clk*. D'altra parte il controllore IDMA è attivato con il segnale *ready* (t_{p24}) e come si vedrà fra breve l'aggiornamento dei registri di ingresso con il segnale *load* avviene al massimo dopo soli 3 *main_clk* dall'asserzione di *ready*.

Inoltre è presente un selettore con 4 ingressi a 12 bit (e 2 bit di indirizzo) per la condivisione delle linee *iad*[11..0] del DSP: 3 ingressi provengono dai 3 registri, il quarto è tenuto a 0 e viene selezionato nel ciclo di indirizzamento IDMA.

Le linee *iad*[15..12] sono tenute fisse su 0100_B necessario nel ciclo di indirizzamento iniziale per sovrascrivere nel registro *IDMA_control* il numero 0 corrispondente alla locazione 0 della memoria dati (v. descrizione della porta IDMA in 3.1). In seguito tale codice sarà scritto nei 4 bit più significativi di ogni locazione di memoria, che saranno

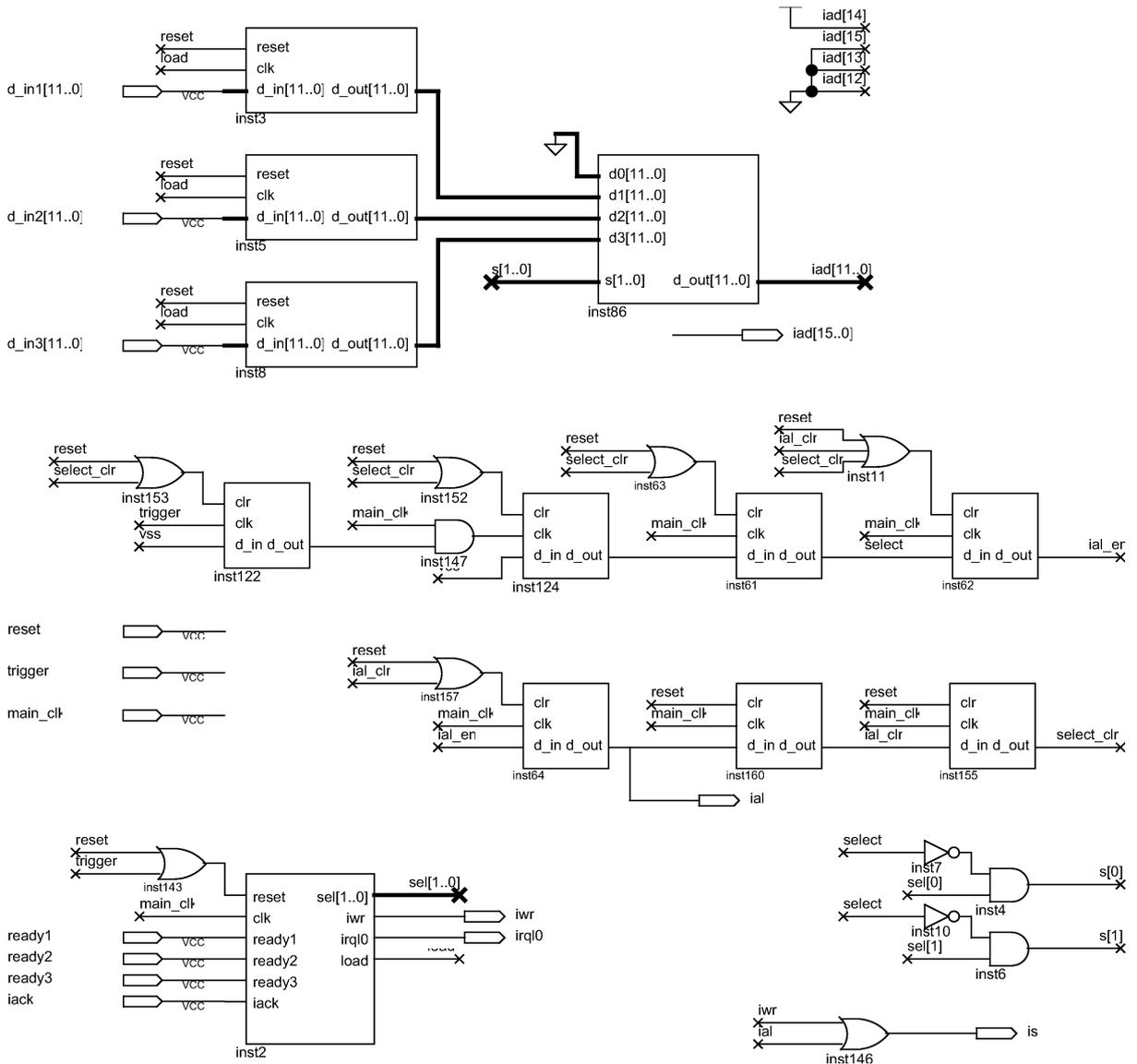


Figura 3.25: struttura del controllore IDMA.

naturalmente ignorati dal programma di compressione.

Si noti che il segnale *is* è ottenuto come OR di *iwr* e *ial* in quanto il DSP è l'unica componente con cui il controllore dialoga.

Indirizzamento IDMA. Il ciclo di indirizzamento (v. fig. 3.23) è compiuto dalla macchina logica illustrata in fig.3.25. Analizziamone la sequenza operativa indicando i fronti di salita di *main_clk* con t_1 ecc. a partire dall'asserzione di *select*.

(t_1) Dopo l'asserzione di *trigger* la consueta catena di *flip-flop* genera il segnale sincrono *select* che porta l'uscita del selettore sul canale di ingresso 11_B per cui il bus *iad*[15..0] si trova con tutti i bit a 0 tranne *iad*[14] (indica cioè l'indirizzo 0 della memoria dati) e tale

resta fino all'azzeramento di *select*. Per rispettare i requisiti temporali del DSP conviene mantenere *select* alto per un periodo di *main_clk* dopo l'azzeramento di *ial*.

(**t₂**) Asserzione di *ial_en* che programma con 1 *ial*. Il segnale intermedio *ial_en* è necessario per poter azzerare *ial* lasciando *select* alto senza che con il *main_clk* successivo *ial* scatti di nuovo.

(**t₃**) Asserzione di *ial* che inizia il ciclo di indirizzamento e programma con 1 *ial_clr*.

(**t₄**) Asserzione di *ial_clr* che azzerava *ial* (terminando il ciclo di indirizzamento) e *ial_en* e programma con 1 *select_clr*.

(**t₅**) Negazione di *ial_clr*. Asserzione di *select_clr* che azzerava *select* (e tutti i *flip-flop* a monte) e *ial_en*.

(**t₆**) Negazione di *select_clr*: la macchina torna nel suo stato iniziale.

Scrittura IDMA. La struttura della macchina logica che realizza la memorizzazione dei dati mediante 3 cicli di scrittura IDMA è illustrata in fig. 3.26.

Un contatore a 2 bit tiene conto del numero di cicli di scrittura effettuati: il codice in uscita dal contatore è usato come codice di indirizzo per il selettore; inoltre il contatore genera il segnale interno *end* di ultimo ciclo.

L'avviamento della macchina avviene con il segnale dato dall'OR dei 3 *ready* provenienti dai ricevitori, che quindi opera anche in assenza di uno o due *ready*. Con tale soluzione in caso di funzionamento non corretto di uno o due rami di elettronica il controllore è in grado di memorizzare correttamente i dati inviati dalla parte ancora pienamente operante.

Nel ciclo di scrittura IDMA, a differenza che in quello di indirizzamento, il controllo delle operazioni passa temporaneamente al DSP. Il controllore verifica lo stato del DSP tramite *iack*; non appena il DSP è disponibile (*iack* alto^[2]), invia la richiesta di scrittura IDMA alzando *iwr* e *is* e contemporaneamente invia i dati sul bus *iad*[15..0]. A questo punto il controllore deve attendere che il DSP riporti *iack* alto prima di poter negare *iwr* e *is* ed eventualmente inviare una nuova richiesta.

Si è visto che i requisiti e le caratteristiche temporali del ciclo IDMA dipendono dal periodo del segnale di *clk* che viene fornito al DSP tramite l'ingresso *clk_{in}*. ADSP2187L ammette periodi $t_{clk_{in}}$ compresi fra 38 e 100ns. È chiaro che l'efficienza aumenta al diminuire di $t_{clk_{in}}$; nel nostro prototipo abbiamo scelto $t_{clk_{in}} = 40\text{ns}$, per cui il periodo interno del DSP è $t_{DSP} = 20\text{ns}$.

Con tale scelta di $t_{clk_{in}}$ *iack* viene riasserito non prima di $1.5t_{DSP} = 30\text{ns}$ dopo l'arrivo della richiesta di scrittura IDMA. D'altra parte il dato corretto deve essere già presente

²Ricordo che per chiarezza considero tutti i segnali logici come normalmente bassi.

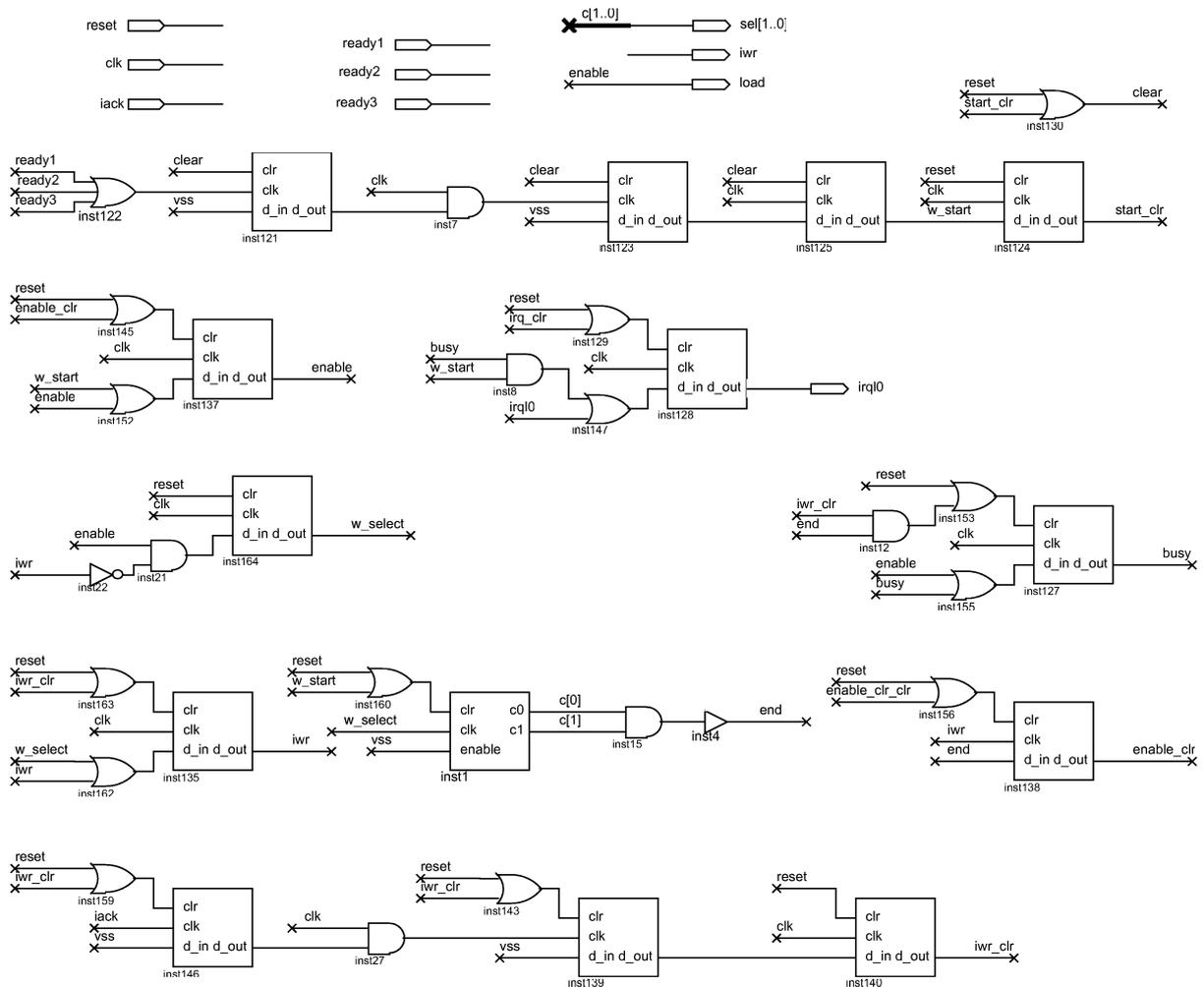


Figura 3.26: struttura della macchina logica per la scrittura IDMA.

agli ingressi $iad[15..0]$ del DSP da almeno $0.5t_{\text{DSP}} + 10\text{ns} = 20\text{ns}$. Dunque gli ingressi $iad[15..0]$ del DSP devono essere aggiornati entro 10ns dopo l'asserzione dell'ultimo fra iwr e is .

Simulando il comportamento del controllore IDMA realizzato nella FPGA Altera in condizioni di lavoro tipiche si trova un ritardo relativo di 5ns rispetto al fronte di salita di $main_clk$ per l'adeguamento di $iad[15:0]$ rispetto all'asserzione dell'ultimo fra iwr e is con riferimento ai segnali sui piedini della FPGA (il ritardo dovuto al passaggio attraverso le piste della scheda è inferiore al ns). Anticipando di un periodo di $main_clk$ (cioè 25 ns) la commutazione del selettore ci si assicura di rispettare in ogni caso i requisiti temporali del ciclo di scrittura IDMA.

Esaminiamo in dettaglio la sequenza operativa della macchina limitandoci al primo ciclo di scrittura IDMA e indicando le varie transizioni positive di $main_clk$ con t_1 ecc. a partire da quella che asserisce $start$; le eventuali differenze con i 2 successivi cicli di scrit-

tura sono opportunamente evidenziate.

(t_1) In seguito alla transizione positiva del primo dei 3 *ready* si ha l'asserzione del segnale di avvio sincrono *start* che azzerava il contatore e di conseguenza $end = c[0] \text{ AND } c[1]$; con *end* negato non è più possibile azzerare *busy*. Il segnale *busy* asserito indica che non è stato ancora ultimato il terzo ciclo di scrittura.

start programma con 1 *enable* e *start_clr*.

(t_2) Asserzione di *start_clr* che azzerava *start*.

Asserzione di *enable*, che abilita la macchina a compiere cicli IDMA programmando con 1 *select*. *enable* verrà azzerato in corrispondenza della terza transizione positiva di *iwr*.

I 3 registri aggiornano le proprie uscite con la transizione positiva di *enable* (uscita *load*). *enable* programma con 1 *busy*, il quale segnala che la macchina è impegnata in cicli IDMA. Con *busy* asserito: asserzione di *irq0*. Significa che non è stato possibile ultimare in tempo il precedente terzo ciclo IDMA.

(t_3) Asserzione di *select*: inizia il primo ciclo IDMA. *select* programma con 1 *iwr*.

La transizione positiva di *select* incrementa di 1 l'uscita $c[1:0]$ del contatore per cui il selettore commuta sul corrispondente ingresso. Con il terzo e ultimo *select* entrambe le uscite andranno a 1 ($3=11_B$) per cui viene asserito *end*. Il contatore verrà poi azzerato in occasione del nuovo *start*.

Asserzione di *busy*, che verrà azzerato solo dal terzo *iwr_clr* ossia a memorizzazione conclusa. Per evitare l'asserzione di *irq0* che invaliderebbe l'intero evento bisogna che tale azzeramento avvenga prima della negazione di *end*, quindi prima di t_1 del ciclo di memorizzazione successivo.

(t_4) Asserzione di *iwr*: il DSP riceve la richiesta di scrittura IDMA ed esegue un ciclo interno IDMA.

L'asserzione di *iwr* programma con 0 *select* per t_5 .

La transizione positiva di *iwr* aggiorna *enable_clr*; se *end* si trova a 1, cioè è in corso la terza e ultima richiesta IDMA, *enable_clr* viene asserito e azzerava *enable*, per cui *select* non compirà altre transizioni positive fino al successivo ciclo di memorizzazione.

(t_5) Negazione di *select*.

(t_n) Il protocollo IDMA richiede che *iwr* resti asserito fino a che il DSP non termina il ciclo interno riportando *iack* a 1. La macchina resta pertanto in attesa della transizione positiva di *iack* che genera il segnale sincrono *iwr_clr* il quale finalmente azzerava *iwr* chiudendo il ciclo IDMA. Il numero di impulsi di *main_clk* che intercorrono dall'asserzione di

iwr alla sua negazione dipende quindi dalla durata del ciclo interno del DSP.

La negazione di *iwr* fa sì che *select* sia programmato con il valore di *enable*.

Con *end* asserito (non ci sono più cicli IDMA da svolgere): *iwr_clr* azzerà *busy* segnalando la corretta conclusione del ciclo di memorizzazione.

(t_{n+1}) Con *enable* asserito: *select* va a 1 e la macchina ripete i passaggi da t_4 in poi. Se invece *enable* è a 0, la macchina non compie più alcuna azione in attesa del prossimo *start*.

Capitolo 4

Prove e misure

Nella prima parte di questo capitolo (sez. 4.1) verranno descritte le prove di funzionalità che ho effettuato sulla logica di controllo per il sistema tracciante di PAMELA da me sviluppata e descritta nel precedente capitolo.

Dopo tale verifica, è stato possibile passare alla ottimizzazione della catena di amplificazione del segnale proveniente dai VA1 e alla verifica delle prestazioni dell'ADC utilizzato in termini di linearità e assenza di codici mancanti; abbiamo quindi compiuto delle misure per determinare la rumorosità dell'elettronica (sez. 4.2). Infine (sez. 4.3) abbiamo acquisito campioni di eventi con segnale dato da particelle ionizzanti, che ci hanno permesso di studiare il segnale proveniente dai sensori del sistema tracciante e verificare le prestazioni dei piani di rivelazione.

4.1 Misure sull'elettronica digitale

Durante la fase di sviluppo delle macchine logiche per i moduli di controllo ADC e DSP, descritte nel capitolo 3, ho seguito le linee generali illustrate in sez. 2.3.3: progettazione, simulazione logica, creazione del programma di configurazione, simulazione temporale.

Solo quando la simulazione finale del progetto ha dato l'esito voluto sono passato alla effettiva programmazione della FPGA e alle prove di laboratorio; eventuali modifiche del progetto originario hanno comportato la ripetizione di tutti i suddetti passaggi.

Inizialmente le prove di funzionalità sono state svolte a temperatura ambiente e con tensione di alimentazione dell'elettronica di 3.3 V (nominale). Di seguito descriverò le varie fasi della realizzazione dei moduli ADC e DSP.

(1) Per prima cosa, mediante il metodo di programmazione descritto in sez. 2.3.2, ho programmato l'unità di comando (da me progettata e simulata, ved. sez. 3.5.1) all'interno di una FPGA riprogrammabile Altera APEX20KE, montata su di un prototipo di scheda

di terzo stadio contenente un DSP e in grado di gestire le 3 sezioni di elettronica di una scheda ADC, corrispondenti ad una intera faccia del sistema tracciante.

Un impulsatore (modulo NIM) è stato utilizzato per generare il segnale di *trigger* che avvia l'unità di comando; la frequenza di tale segnale era dell'ordine di 10Hz (frequenza media di *trigger* attesa in volo).

Il segnale di sincronizzazione (*clk*) per la FPGA era dato da un oscillatore al quarzo, montato sulla scheda, con periodo di 25 ns; un secondo oscillatore forniva il *clk* per il DSP con periodo di 40 ns.

Ho poi provveduto tramite oscilloscopio al controllo della presenza della corretta sequenza temporale in uscita dalla scheda DSP (con protocollo d/s), generata dall'unità di comando in risposta al *trigger*.

(2) Il passo successivo è stata la programmazione di un intero modulo di controllo ADC (ved. sez. 3.4) su FPGA Actel A54SX16P che è stata quindi montata su di una sezione di una scheda ADC completa di tutte le componenti (versione definitiva o “modello di volo”) connessa alla rispettiva scheda di alimentazione.

Dopo aver collegato la scheda ADC al suddetto prototipo di scheda DSP con la FPGA Altera, ho verificato la corretta generazione da parte della FPGA Actel di tutti i segnali di controllo per l'ibrido e della sequenza di ritorno verso il modulo DSP in risposta alla sequenza di comando da questo inviata.

Si noti che in questa fase la scheda ADC non è stata connessa agli ibridi del piano di rivelatori: il livello di tensione misurato dall'ADC in tutte le 1024 conversioni effettuate per ogni *trigger* è quello dato dalla rete di amplificazione del segnale dei VA1 (ved. sez. 4.2.1).

(3) Infine ho realizzato sulla FPGA Altera la parte restante del modulo DSP: ricevitori (sez. 3.5.2) e controllore IDMA (sez. 3.5.3). Ho quindi verificato, visualizzando mediante oscilloscopio i segnali sui piedini esterni del DSP, che i cicli di indirizzamento e scrittura IDMA avessero la corretta temporizzazione.

Si noti che l'assenza dei segnali corretti può essere dovuta a problemi sulle schede che supportano le FPGA, quali componenti montate erroneamente o errori nella fabbricazione delle piste metalliche di interconnessione (contatti o interruzioni indesiderati). Di pari passo con il controllo delle FPGA si è proceduto quindi a individuare tali problemi nelle schede di elettronica.

4.1.1 Prove in temperatura e tensione

Come si è accennato anche nel capitolo precedente, le variabili d'ambiente, cioè temperatura e tensione di alimentazione, hanno una forte influenza sulle caratteristiche temporali dei segnali interni ai dispositivi logici; perciò ogni dispositivo montato sulle schede di elettronica è stato qualificato dal costruttore per l'operatività in un certo campo di valori di tensione e di temperatura.

Il “modello di volo” per l'elettronica del sistema tracciante di PAMELA prevede l'alimentazione mediante regolatori lineari stabilizzati a 3.3 V nominali, tensione tipica dei dispositivi CMOS presenti sia sulle schede ADC che su quella dei DSP. In particolare per le FPGA A54SX il produttore Actel garantisce le specifiche con una tensione di alimentazione compresa fra 3.0 e 3.6 V.

L'altra variabile d'ambiente di cui bisogna tener conto è la temperatura.

All'interno del satellite Resurs-DK1 la stabilizzazione della temperatura sarà assicurata mediante una rete di tubi di raffreddamento in cui fluisce isoottano liquido con temperatura compresa fra 5° C e 35° C. Tenuto conto delle variazioni, dovute principalmente alle diverse condizioni di esposizione all'illuminazione solare e al calore prodotto dalle varie parti dell'apparato, si stima che la temperatura dell'elettronica di PAMELA dovrebbe restare compresa nell'intervallo fra 5° C e 50° C, all'interno del campo di valori di temperatura raccomandati per la FPGA A54SX, che va da 0° C a 70° C.

Conviene in genere accertarsi del corretto funzionamento delle varie componenti almeno nel campo di valori delle variabili d'ambiente garantito dal costruttore; ciò in previsione di possibili malfunzionamenti dei sistemi di stabilizzazione della tensione e della temperatura.

Abbiamo quindi provveduto ad assicurarci del corretto funzionamento della FPGA A54SX, usata nel “modello di volo” della scheda ADC, nel campo di valori di tensione e temperatura per cui tale dispositivo è stato qualificato dal costruttore.

Per far questo si è ripetuta la verifica di funzionalità descritta nella sezione precedente modificando le tensioni di alimentazione ai valori 3.0, 3.3 e 3.6 V; tenendo fissa la tensione di alimentazione, abbiamo effettuato dei cicli termici ponendo scheda ADC e scheda di alimentazione in una camera climatica Heraeus-Vötsch dotata di termostato e portando la temperatura a 0, 20, 40 e 70° C. Non sono stati riscontrati problemi nella funzionalità delle FPGA in nessuna delle suddette condizioni.

4.2 Misure sull'elettronica analogica

Una volta accertato il corretto funzionamento della parte digitale dell'elettronica, è stato possibile caratterizzare la parte analogica.

Per le misure descritte nel resto del capitolo si è fatto uso di varie schede ADC per lato X o Y (“modelli di volo”), complete di tutte le componenti logiche di controllo su FPGA Actel, gestite da uno o più prototipi di scheda DSP.

I prototipi di scheda DSP si interfacciavano con un sistema VME (MVME2431) controllato da un PC che in questa fase di sviluppo ha sostituito l'unità di controllo centrale di PAMELA; una parte della FPGA Altera era stata in precedenza programmata per gestire il flusso di dati da e verso il sistema VME.

Il programma eseguito dal DSP in questa fase di *test* non eseguiva la compressione dei dati memorizzati ma si limitava a trasmetterli al sistema VME dove venivano immagazzinati per una successiva analisi. I dati sono stati analizzati mediante opportuni programmi FORTRAN e visualizzati in grafici con l'uso del *software* PAW sviluppato dal CERN. È stato quindi possibile effettuare l'analisi dei dati (ad esempio visualizzando le occorrenze per canale dell'ADC in un istogramma).

Per caratterizzare l'elettronica analogica come prima cosa abbiamo scelto i valori di riposo e il guadagno per la rete di amplificazione del segnale in uscita dai VA1 (sez. 4.2.1).

Successivamente abbiamo verificato la linearità dell'ADC e l'assenza di codici mancanti in uscita (sez. 4.2.2).

Infine abbiamo studiato il contributo al rumore dei vari stadi di elettronica (sez. 4.2.3).

4.2.1 Amplificazione del segnale in uscita dal VA1

L'uscita analogica del VA1 (ved. fig. 3.2) fornisce un segnale differenziale di tensione $\Delta \equiv v_{\text{outp}} - v_{\text{outm}}$; il segno di Δ risulta uguale al segno della carica integrata dal preamplificatore. Quindi per i VA1 della faccia X il segnale dovuto alle particelle è sempre positivo (lacune raccolte dalle strisce p^+); viceversa per i VA1 del lato Y il Δ dovuto alle particelle è sempre negativo (e^-).

Il segnale risulta inoltre proporzionale alla carica integrata dal preamplificatore per valori di Δ compresi fra -300 mV e $+300$ mV circa; agli estremi di tale intervallo si ha infatti la saturazione dell'uscita del preamplificatore.

D'altra parte il campo di valori analogici ammessi in ingresso all'ADC AD7476 coincide con la tensione di alimentazione digitale (3.3 V per l'elettronica di PAMELA) e per sfruttarlo appieno è necessario quindi amplificare il segnale in uscita dal VA1. A

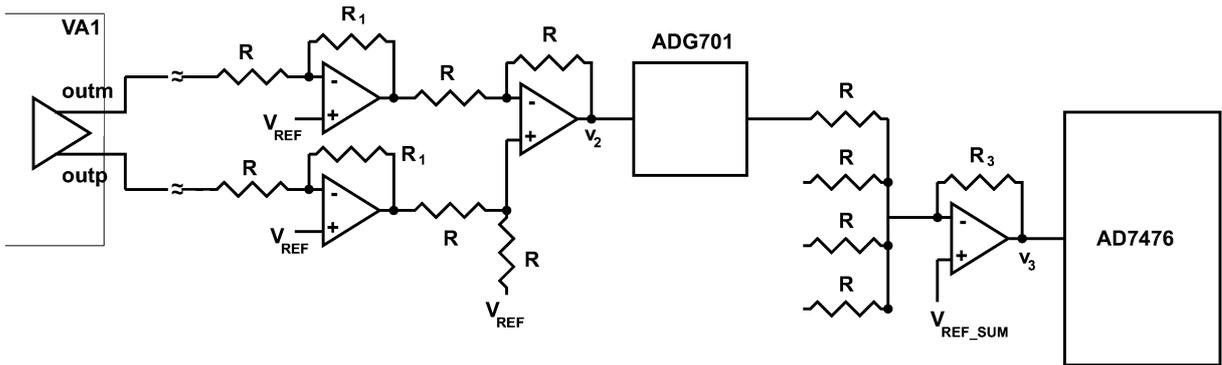


Figura 4.1: rete di amplificazione per la linea differenziale uscente dal VA1.

tale riguardo si noti che l'alimentazione a 3.3 V viene fornita dalle linee $V_{SS} = -2\text{ V}$ e $V_{DD} = +1.3\text{ V}$ ^[1].

In particolare per sfruttare nel modo migliore l'ADC conviene fissare il fattore di amplificazione A del segnale differenziale Δ proveniente dal VA1 in modo che il segnale massimo per cui non si ha saturazione nel VA1 (corrispondente a $|\Delta| = 300\text{ mV}$) coincida grossolanamente con metà del fondo scala dell'ADC (1.65 V): dunque il fattore A deve risultare circa 5.5.

Gli stadi di amplificazione relativi ad un dato ADC si trovano sulla corrispondente sezione di scheda. Si è visto in sez. 3.1.1 (fig. 3.3) che le uscite differenziali degli 8 VA1 facenti capo a ciascun ADC sono cortocircuitate a coppie sull'ibrido in modo da avere 4 linee differenziali che entrano nella sezione ADC corrispondente, dove 4 interruttori analogici (ADG701) hanno la funzione di selezionare il segnale da inviare all'ADC per la conversione.

Il circuito di amplificazione per l'uscita di ciascuna coppia di VA1 facente capo ad un ADC è illustrato in fig. 4.1: esso è identico per le due facce X e Y tranne che nella scelta della tensione di riferimento V_{REF_SUM} , per tenere conto della opposta polarità dei segnali dovuti a particelle sui due lati. Si noti che la tensione a riposo degli ingressi del circuito di amplificazione, con i VA1 non collegati, è uguale a V_{REF} , che viene generata attraverso il riferimento di tensione LM4041 [11] caratterizzato da elevata stabilità e basso consumo.

Il riferimento LM4041, così come montato sulla scheda, fornisce in uscita una tensione di 1.225 V rispetto a V_{SS} (-0.775 V rispetto alla massa dei VA1); V_{REF} viene realizzata mediante partitore resistivo fra tale uscita e V_{SS} ed è stata scelta uguale a -1 V ; infatti le uscite analogiche del VA1, *outm* e *outp*, devono essere riferite a -1 V perché lo stadio di amplificazione d'uscita funzioni in maniera corretta.

¹D'ora in avanti le tensioni indicate saranno riferite alla massa dei VA1; si ricorda che la massa dei VA1 relativi al lato Y si trova a $+80\text{ V}$ rispetto alla massa per il lato X.

Il primo stadio amplifica separatamente le due tensioni $\Delta_p \equiv v_{\text{outp}} - V_{\text{REF}}$ e $\Delta_m \equiv v_{\text{outm}} - V_{\text{REF}}$ (fattore di amplificazione $-R_1/R$); il secondo stadio è un amplificatore differenziale per ottenere un segnale in uscita proporzionale a $\Delta = \Delta_p - \Delta_m$.

Il fattore di amplificazione complessivo dei primi due stadi è quindi $-R_1/R$: $\Delta_2 \equiv v_2 - V_{\text{REF}} = (-R_1/R)\Delta$.

Occorre assicurarsi che per valori di Δ nel campo di linearità del VA1 ($|\Delta| \leq 300 \text{ mV}$) anche l'uscita dei vari stadi di amplificazione non saturi. Il limite più stringente è imposto dal segnale Δ_2 , uscente dal secondo stadio relativo al lato X del rivelatore, per il quale ci si aspetta un segnale Δ positivo, e quindi Δ_2 negativo; la tensione di riposo dell'uscita v_2 è $V_{\text{REF}} = -1 \text{ V}$ e per non avere saturazione occorre che $\Delta_2 > -1 \text{ V}$ circa. Dunque deve essere:

$$R_1/R < \frac{1 \text{ V}}{300 \text{ mV}} \simeq 3.3$$

Per la scelta di R e R_1 abbiamo considerato i tagli di resistenze disponibili sul mercato e massimizzato il loro rapporto nel limite suddetto, con il risultato:

$$R = 470 \Omega$$

$$R_1 = 1.5 \text{ k}\Omega$$

in modo da avere $R_1/R \simeq 3.19$.

La restante amplificazione viene fornita dal terzo stadio (sommatore) in cui confluiscono i 4 segnali v_2 dopo aver attraversato ciascuno il rispettivo interruttore ADG701^[2]. Con considerazioni analoghe a quelle esposte sopra si è scelto

$$R_3 = 820 \Omega$$

per cui l'amplificazione del terzo stadio risulta $-R_3/R \simeq -1.74$ e quella complessiva:

$$A = \left(-\frac{R_1}{R}\right) \cdot \left(-\frac{R_3}{R}\right) \simeq 5.55$$

Dopo aver scelto il fattore di amplificazione abbiamo impostato i livelli di riposo per la tensione v_3 in ingresso all'ADC.

Consideriamo il lato X di un *ladder*: poiché il segnale dovuto a particelle è in ogni caso positivo ed occupa al massimo metà fondo-scala dell'ADC, la scelta migliore è fare in modo che il livello di riposo di v_3 corrisponda ad un quarto del fondo-scala, cioè -1.175 V . Viceversa per il lato Y il livello di riposo ottimale è a $3/4$ del fondo-scala, cioè 0.475 V ^[3].

²Ricordiamo che i 4 interruttori ADG701 vengono aperti uno alla volta per mezzo dei segnali di controllo generati dal modulo ADC (ved. sez. 3.4).

³Ricordo che l'ADC viene alimentato fra -2 V e $+1.3 \text{ V}$

Ricordando che la funzione di trasferimento di questo ultimo stadio è:

$$v_3 = V_{\text{REF_SUM}} \left(1 + \frac{R_3}{R}\right) - \frac{R_3}{R} v_2 \quad (4.1)$$

e che il valore a riposo di v_2 è uguale a V_{REF} , scegliendo opportunamente $V_{\text{REF_SUM}}$ si può fissare il valore di riposo per v_3 .

Realizzando con riferimenti di tensione e partitori resistivi:

$$V_{\text{REF_SUM}}^X = -1.05\text{V}$$

$$V_{\text{REF_SUM}}^Y = -0.50\text{V}$$

si ottengono i valori di riposo:

$$V_3^X \simeq -1.13\text{V}$$

$$V_3^Y \simeq +0.37\text{V}$$

corrispondenti rispettivamente al 26% (1065 LSB) e 72% (2949 LSB) del fondo scala dell'ADC

4.2.2 Linearità dell'elettronica e codici mancanti

L'ADC AD7476 [10] è stato descritto nelle sue caratteristiche principali in sez. 3.1.2.

In risposta al valore di tensione presente al proprio ingresso analogico, campionato all'inizio del ciclo di conversione, l'ADC produce sulla propria uscita digitale una sequenza di bit formante un codice a 12 bit. Il campo di tensioni accettate per la conversione coincide con la differenza di potenziale fra le due linee di alimentazione: in PAMELA -2V e $+1.3\text{V}$ rispetto alla massa della scheda ADC.

Idealmente tale intervallo (o fondo-scala) di 3.3V è suddiviso in $2^{12} = 4096$ canali di uguale ampiezza (ciascun canale misura circa 0.81mV) a cui sono ordinatamente associati i codici da 0 a $111111111111_{\text{B}} = 4095$. Per un ADC reale l'ampiezza dei singoli canali non è uniforme e inoltre cambia in genere da un esemplare all'altro dello stesso modello (variazione intrinseca ai processi fabbricativi) e con le variabili d'ambiente.

Il discostamento dalla idealità viene caratterizzato definendo un'opportuna grandezza, la non-linearità differenziale. La non-linearità differenziale DNL (*Differential Non-Linearity*) è definita, per ogni codice n di uscita in un dato intervallo ΔN di interesse, come la variazione relativa fra la ampiezza effettiva $A(n)$ (in Volt) del canale associato al codice n e la ampiezza ideale, uguale alla media \bar{A} , sull'intervallo ΔN , delle ampiezze effettive dei canali:

$$\text{DNL}(n) \equiv \frac{A(n) - \bar{A}}{\bar{A}} \quad (4.2)$$

con la ampiezza media data da:

$$\bar{A} \equiv \frac{1}{\Delta N} \sum_{\Delta N} A(n) \quad (4.3)$$

Si noti che la ampiezza media corrisponde al bit meno significativo (LSB) dell'ADC; per questo la non-linearità differenziale DNL viene solitamente espressa in LSB.

Un buon ADC non deve presentare codici mancanti e deve avere una DNL massima dell'ordine di un LSB su tutta la scala, in modo da introdurre un errore (sistematico) di non-linearità nella misura dello stesso ordine dell'errore di quantizzazione ($\pm 0.5\text{LSB}$). In particolare per AD7476 il produttore indica un tipico valore massimo per il modulo della DNL di 0.75 LSB, unita alla garanzia dell'assenza di codici mancanti, per temperature da -40°C a $+85^\circ\text{C}$ e tensioni di alimentazione da 2.7 a 3.6 V e alla massima frequenza di campionamento ammessa (1 MHz).

Osserviamo inoltre che la scelta del numero di bit dell'ADC è stata effettuata in modo da poter trascurare l'errore di non-linearità e di quantizzazione dell'ADC rispetto agli altri contributi, quali il rumore intrinseco alla grandezza misurata.

Per il segnale proveniente dai VA1 del sistema tracciante prevediamo infatti un rapporto segnale/rumore per particelle al minimo di ionizzazione (MIP) dell'ordine di 50; inoltre vogliamo che il rumore sia almeno dell'ordine di 3 LSB (per poter trascurare l'errore di conversione dell'ADC). Se si tiene conto del fatto che la dinamica di uscita del VA1 risulta equivalente a 20 MIP, l'ADC deve quindi avere almeno $20 \cdot 50 \cdot 3\text{LSB} = 3000\text{LSB}$, ottenibili con 12 bit.

Misure di linearità effettuate

Avendo a disposizione tutta la logica di controllo per la gestione dell'ADC abbiamo provveduto a compiere una verifica diretta dell'assenza di codici mancanti e delle caratteristiche di linearità dell'ADC AD7476, in condizioni di temperatura ambiente e tensione di alimentazione nominale di 3.3 V.

Tale verifica è stata compiuta alla frequenza di campionamento di 0.5 MHz data dalla durata del ciclo di digitalizzazione ($2\ \mu\text{s}$) che è fissata dal periodo (25 ns) del segnale di sincronizzazione utilizzato per il modulo di controllo DSP.

Il metodo utilizzato per le misure è una semplificazione del metodo di tipo statistico descritto in [16], [18], [19]: si tratta di inviare all'ingresso dell'ADC un'onda triangolare che viene campionata dall'ADC in maniera asincrona un numero abbastanza elevato di volte, in modo da avere una distribuzione uniforme di campionamenti dell'ADC nel campo di valori coperti dall'onda (la derivata di un'onda triangolare è costante).

La distribuzione delle occorrenze $O(n)$ per ciascun codice n è proporzionale all'ampiezza del rispettivo canale (ammesso di poter trascurare la fluttuazione di tale distribuzione intrinseca al metodo statistico utilizzato); quindi possiamo calcolare la DNL come:

$$DNL(n) = \frac{O(n) - \bar{O}}{\bar{O}} \quad (4.4)$$

dove

$$\bar{O} \equiv \frac{1}{\Delta N} \sum_{\Delta N} O(n)$$

è il numero medio di occorrenze per canale nell'intervallo ΔN . Inoltre i codici mancanti sono caratterizzati da $O(n) = 0$.

Nella nostra sessione di misure l'onda triangolare è stata generata con il generatore HP33120A [20] (che garantisce discrepanze dalla linearità inferiori allo 0.1% del valore di picco dell'onda) e inviata ad una sezione di scheda ADC (completa di modulo di controllo) attraverso gli ingressi del sommatore che rappresenta il terzo stadio di amplificazione (ved. fig. 4.1).

Il campionamento da parte dall'ADC è comandato dal *trigger* generato dall'elettronica (impulsatore, frequenza 10 Hz); per ogni *trigger* l'ADC compie 1024 campionamenti dell'onda triangolare ad intervalli di $2\mu s$.

Il valore medio e l'ampiezza dell'onda triangolare sono stati scelti in modo da coprire il più ampio campo possibile di valori di interesse, tenendo conto del fatto che l'ultimo stadio di amplificazione non può coprire completamente tutto l'intervallo dei valori campionabili dall'ADC dato che usa la stessa tensione di alimentazione^[4].

Le misure sono state ripetute a 3 diverse frequenze dell'onda triangolare (100 Hz, 1 kHz, 10 kHz). In fig. 4.2 sono presentate le occorrenze per canale per i codici compresi fra 0 e 4095 LSB: risulta chiaro che non ci sono codici mancanti nel campo di valori raggiunti dal segnale in ingresso. I picchi nella distribuzione dei campionamenti in vicinanza di 0 e 4095 LSB sono dovuti proprio alla saturazione dell'ultimo stadio di amplificazione: l'appiattimento dell'onda triangolare in corrispondenza dei valori di saturazione fa sì che tali valori vengano campionati dall'ADC più frequentemente degli altri.

In fig. 4.3 è riportata la distribuzione della DNL ottenuta con la (4.4), limitando il calcolo alla regione compresa fra 100 e 3900 LSB ed escludendo così le zone dei picchi dove il campionamento non è uniforme. La DNL misurata risulta compatibile con il valore dato dal costruttore e non superiore in genere a 0.5 LSB; inoltre non si osserva alcuna particolare dipendenza dalla frequenza dell'onda triangolare.

⁴L'amplificatore usato come ultimo stadio è AD8054 [10], con una dinamica di uscita limitata a 50 mV dalle tensioni di alimentazione.

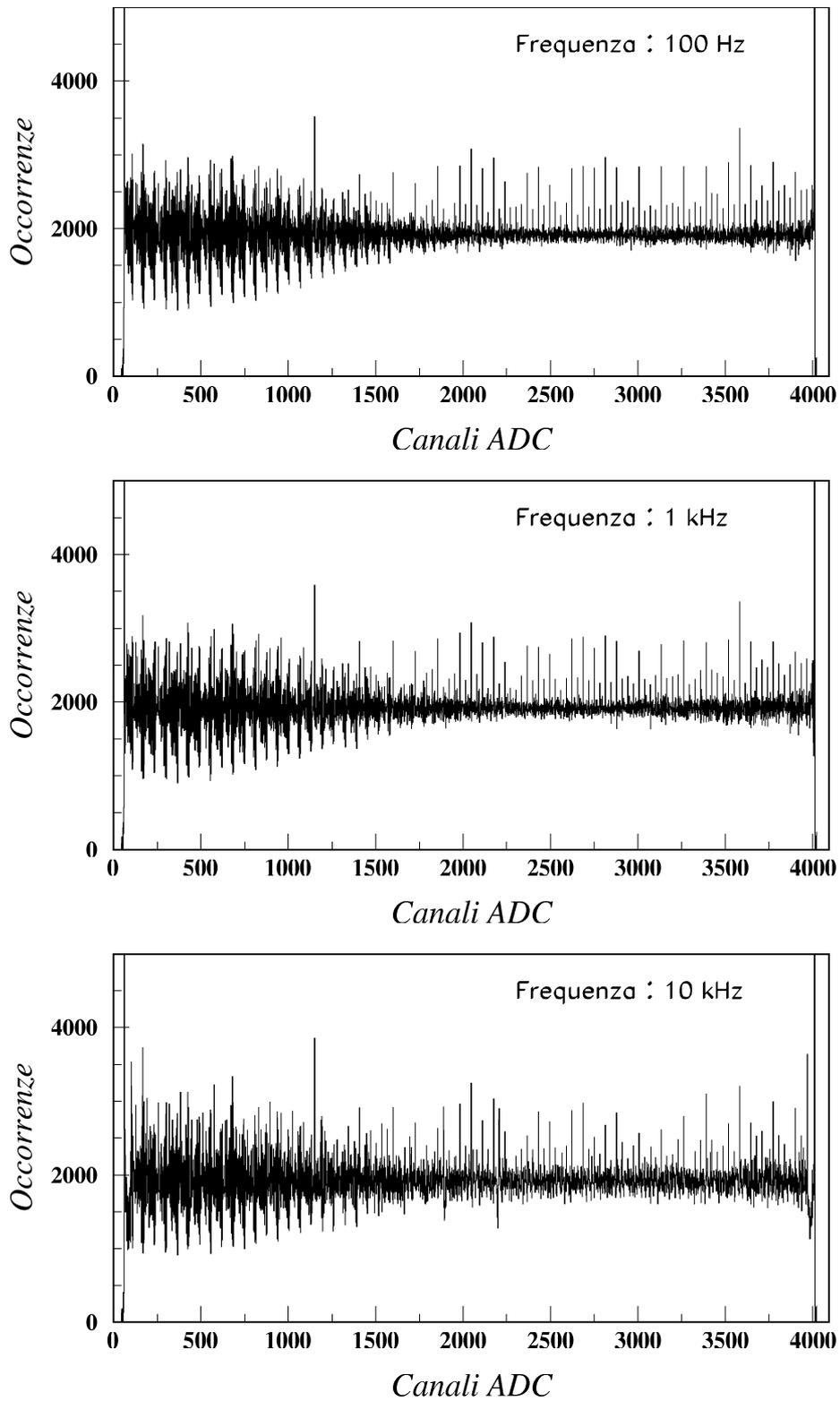


Figura 4.2: distribuzioni delle occorrenze per i codici di uscita dell'ADC AD7476 ottenute con onda triangolare a 3 diverse frequenze.

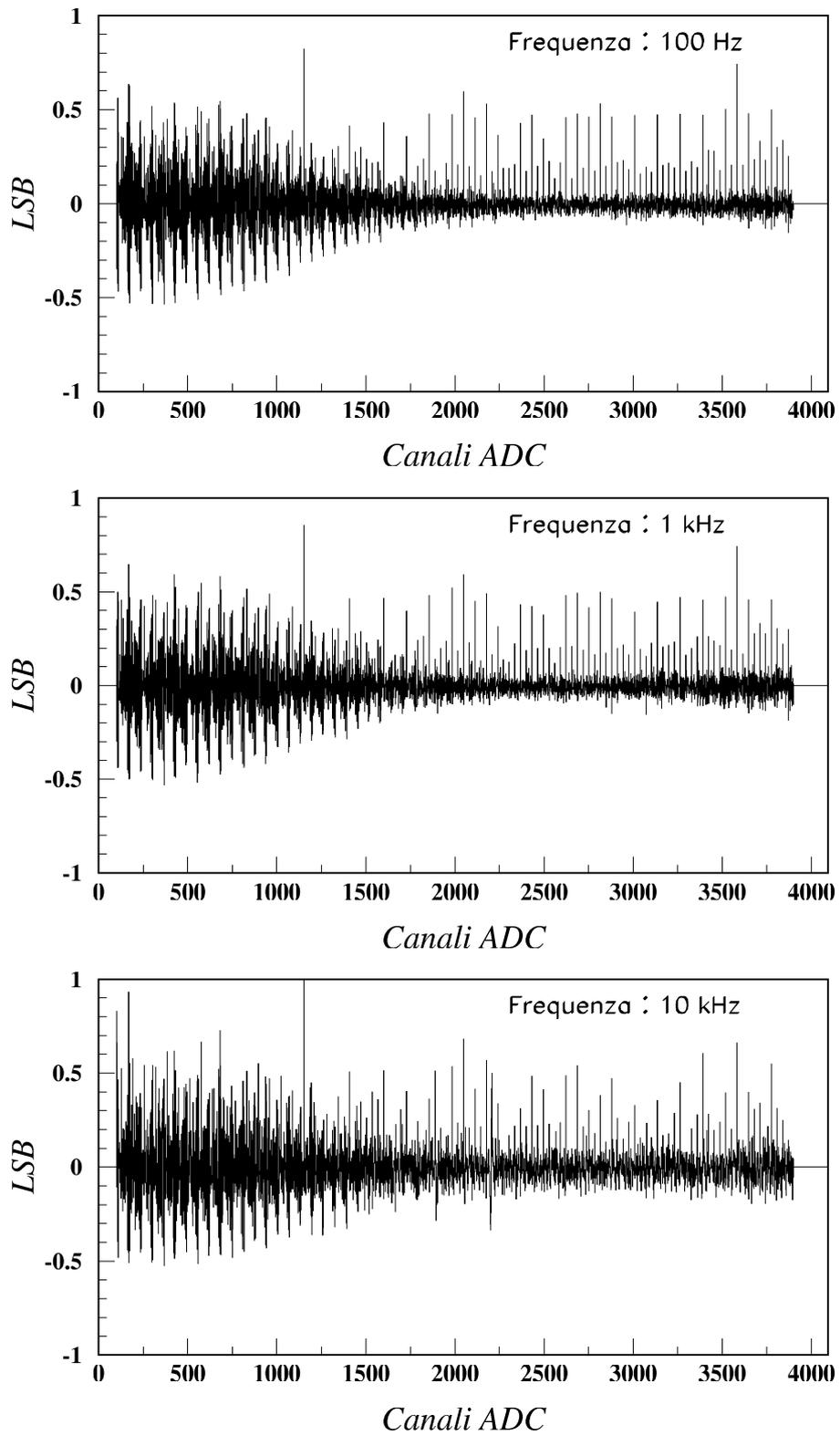


Figura 4.3: non-linearità differenziale per i codici di uscita dell'ADC AD7476 ottenuta con onda triangolare a 3 diverse frequenze

4.2.3 Rumore dell'elettronica

Nel sistema tracciante di PAMELA, per rumore si intendono tutte le componenti stocastiche del valore di tensione acquisito e digitalizzato dall'ADC. Il rumore degrada la qualità della misura della coordinata di incidenza della particella ionizzante e quindi influisce sulla risoluzione spaziale del sistema tracciante.

Oltre alle fluttuazioni intrinseche del segnale di ionizzazione, dovute alla natura quantistica dei processi che regolano la creazione delle coppie e^-/lacuna e la loro raccolta da parte delle strisce, vi è il rumore indotto dall'elettronica, di cui ci occuperemo in quanto segue.

Ammettendo di compiere un certo numero N di acquisizioni in assenza di particelle ionizzanti, il valore di tensione $A_{ik}^{(n)}$, che per l'evento n -esimo giunge in ingresso all'ADC in corrispondenza della lettura della striscia k -esima, acquisita dal VA1 i -esimo, può scomporsi nella forma seguente:

$$A_{ik}^{(n)} = P_{ik} + F_{ik}^{(n)} \quad (4.5)$$

dove P_{ik} è una componente costante, detta piedistallo, definito come il valore medio della misura in assenza di segnale, mentre $F_{ik}^{(n)}$ rappresenta la fluttuazione statistica del valore di tensione da evento a evento (rumore) attorno al piedistallo.

Il rumore $F_{ik}^{(n)}$ può essere ulteriormente suddiviso in un termine $CMN_i^{(n)}$ (*Common Mode Noise* o rumore di modo comune) dovuto alle fluttuazioni solidali della tensione di tutte le 128 strisce lette dello stesso VA1, ciascuna attorno al rispettivo piedistallo, e in un residuo $R_{ik}^{(n)}$ caratteristico di ogni striscia. Con questa ulteriore suddivisione la (4.5) prende la forma:

$$A_{ik}^{(n)} = P_{ik} + CMN_i^{(n)} + R_{ik}^{(n)} \quad (4.6)$$

Il piedistallo per la striscia k -esima letta dal VA1 i -esimo è definito dalla relazione:

$$P_{ik} \equiv \frac{1}{N} \sum_{n=1}^N (A_{ik}^{(n)} - CMN_i^{(n)}) \quad (4.7)$$

Il rumore di modo comune del VA1 i -esimo per l'evento n -esimo è definito invece da:

$$CMN_i^{(n)} \equiv \frac{1}{128} \sum_{k=1}^{128} (A_{ik}^{(n)} - P_{ik}) \quad (4.8)$$

Il termine residuo $R_{ik}^{(n)}$ risulta distribuito stocasticamente attorno a 0; l'ampiezza di tale fluttuazione viene espressa mediante la sua deviazione quadratica media

$$\sigma_{ik} \equiv \sqrt{\frac{1}{N-1} \sum_{n=1}^N (R_{ik}^{(n)})^2} = \sqrt{\frac{1}{N-1} \sum_{n=1}^N (A_{ik}^{(n)} - CMN_i^{(n)} - P_{ik})^2}, \quad (4.9)$$

in breve detta sigma. Tale quantità caratterizza il rumore intrinseco del rivelatore.

La conoscenza di piedistalli, sigma e rumore di modo comune è necessaria per poter determinare al meglio l'eventuale segnale fornito dalle singole strisce per le acquisizioni compiute in corrispondenza di un evento ionizzante. In questo caso, infatti, il segnale di ionizzazione si somma alle tre componenti descritte, come vedremo nella sez. 4.3.

In particolare durante il volo su satellite la determinazione di piedistalli e sigma verrà compiuta nell'ambito della procedura di calibrazione di PAMELA, mediante l'acquisizione di un certo numero di eventi con *trigger* dato dalla PSCU in modo scorrelato con il passaggio di particelle ionizzanti. Tale misura sarà ripetuta ad intervalli regolari (ogni ora circa) in quanto cambiamenti nelle variabili d'ambiente influiscono sulle caratteristiche dell'elettronica.

Di seguito è illustrato l'algoritmo su cui si basa il programma di analisi utilizzato per la misura di piedistalli e sigma (calibrazione del rivelatore).

Algoritmo di calibrazione

Il calcolo di piedistalli e sigma viene svolto per approssimazioni successive mediante un algoritmo iterativo, strutturato in modo da riconoscere ed escludere dal calcolo le strisce difettose.

I difetti possono essersi originati nella fase di fabbricazione del sensore: capacità di disaccoppiamento cortocircuitate, cortocircuiti fra strisce di impianto adiacenti, mancata connessione fra una striscia metallica del secondo strato ed il corrispondente elettrodo del primo strato di metallizzazione (per il solo lato Y). Oppure, dopo la fase di connessione di un sensore all'ibrido o di un sensore all'altro, alcune strisce possono risultare sconnesse dall'elettronica di lettura o più strisce possono essere connesse allo stesso canale del VA1.

Le strisce difettose devono essere identificate ed escluse sia nel calcolo di piedistalli e sigma che nella ricerca di eventuali segnali di particella. L'identificazione delle strisce difettose viene fatta sulla base del rumore.

In corrispondenza di strisce sconnesse, la capacità verso massa in ingresso al preamplificatore di carica del VA1 (capacità di carico), risulta minore che nel caso di strisce non difettose; viceversa per le strisce cortocircuitate tale capacità è maggiore. Poiché il rumore prodotto dal VA1 dipende linearmente dalla capacità di carico in ingresso, le strisce difettose sono caratterizzate dall'aver un rumore troppo basso o troppo alto.

Vediamo ora brevemente la struttura dell'algoritmo:

1. Una volta acquisiti un certo numero N di eventi, si hanno a disposizione le letture

di ciascuna striscia operate dall'ADC ($A_{ik}^{(n)}$). Una prima stima approssimata di piedistalli e sigma delle singole strisce viene ottenuta, nell'ipotesi di assenza di strisce difettose, dalle formule (4.7) e (4.9) assumendo $CMN_i^{(n)} = 0$:

$$P_{ik} = \frac{1}{N} \sum_{n=1}^N A_{ik}^{(n)} \quad (4.10)$$

$$\sigma_{ik} = \sqrt{\frac{1}{N-1} \sum_{n=1}^N (A_{ik}^{(n)} - P_{ik})^2} \quad (4.11)$$

2. È possibile a questo punto individuare eventuali strisce difettose. Note le sigma delle 128 strisce di ogni VA1, se ne calcola la media $\bar{\sigma}_i$ e lo scarto quadratico medio δ_i :

$$\bar{\sigma}_i \equiv \frac{1}{128} \sum_{k=1}^{128} \sigma_{ik} \quad (4.12)$$

$$\delta_i \equiv \sqrt{\frac{1}{128} \sum_{k=1}^{128} (\sigma_{ik} - \bar{\sigma}_i)^2} \quad (4.13)$$

Le strisce difettose (troppo o troppo poco rumorose) vengono identificate richiedendo che lo scarto fra sigma e $\bar{\sigma}_i$ sia superiore in modulo ad un valore di taglio prefissato che tiene conto della ampiezza della distribuzione delle sigma:

$$|\sigma_{ik} - \bar{\sigma}_i| > T\delta_i \quad (4.14)$$

3. Il calcolo di piedistalli e sigma viene ripetuto sottraendo il rumore di modo comune, calcolato per ciascun evento secondo la relazione (4.8) escludendo dalla sommatoria le strisce difettose trovate con il taglio (4.14).
4. Si ripetono i passaggi da 2 a 3 per cercare altre strisce difettose. Ad ogni iterazione le sommatorie (4.12) e (4.13) vengono ricalcolate, limitandosi alle strisce non difettose, con i nuovi valori delle sigma finché non viene individuata nessuna ulteriore striscia difettosa.

Al termine di tale procedura sono noti piedistalli e sigma di tutte le strisce e sono state individuate le strisce difettose.

Misure di piedistalli e sigma

In laboratorio sono stati misurati i piedistalli e le sigma dei canali di acquisizione di varie sezioni X e Y di elettronica. Le misure sono state effettuate a temperatura ambiente e ripetute con schede, ibridi e *ladder* diversi, ottenendo risultati consistenti.

Le misure sono state fatte in 3 diverse configurazioni:

1. con gli ingressi della sezione ADC (X o Y) non connessi all'ibrido;
2. con la sezione ADC (X o Y) connessa alla corrispondente faccia di un ibrido in assenza dei sensori;
3. con la sezione ADC (X o Y) connessa alla corrispondente faccia di un *ladder* completo.

In tal modo è stato possibile stimare i contributi al rumore complessivo dei diversi stadi di elettronica, in particolare delle rete di amplificazione e conversione analogico-digitale descritta in sez. 4.2.1 e della catena di acquisizione interna al VA1 (sez. 1.2.2).

Infatti il rumore complessivo di un canale, espresso in LSB, è dato da due contributi distinti:

$$\sigma^2 = \sigma_{\text{amp}}^2 + \sigma_{\text{VA1}}^2, \quad (4.15)$$

dove σ_{amp} è dovuto alla rete di amplificazione e conversione, mentre σ_{VA1} è indotto dal VA1 e dipende linearmente dalla capacità di carico C_L del preamplificatore di ingresso:

$$\sigma_{\text{VA1}} = \sigma_A + \sigma_B C_L \quad (4.16)$$

1. In fig. 4.4 sono riportate le misure di piedistalli e sigma per le 3 sezioni di una scheda ADC predisposta per il lato X del rivelatore, in assenza di collegamento con gli ibridi (configurazione 1); in fig. 4.5 sono riportate analoghe misure per una scheda Y.

Si osservi innanzitutto che, non essendo i VA1 collegati alle linee di ingresso delle sezioni ADC, i 1024 canali di elettronica letti da ciascun ADC sono in effetti 4 gruppi di 256 letture della stessa linea costituita dai 3 stadi di amplificazione e dall'interruttore ADG701; dunque i valori di piedistalli e sigma calcolati per i primi 256 canali sono ottenuti con 256 campionamenti indipendenti della stessa catena di dispositivi.

Si noti per i piedistalli la piccola deviazione dei valori misurati da quelli scelti in sez. 4.2.1 (1065 LSB per il lato X e 2949 LSB per Y), dovuta alla discrepanza dal valore nominale dei diversi esemplari di resistori utilizzati nei partitori per la generazione di

Lato giunzione

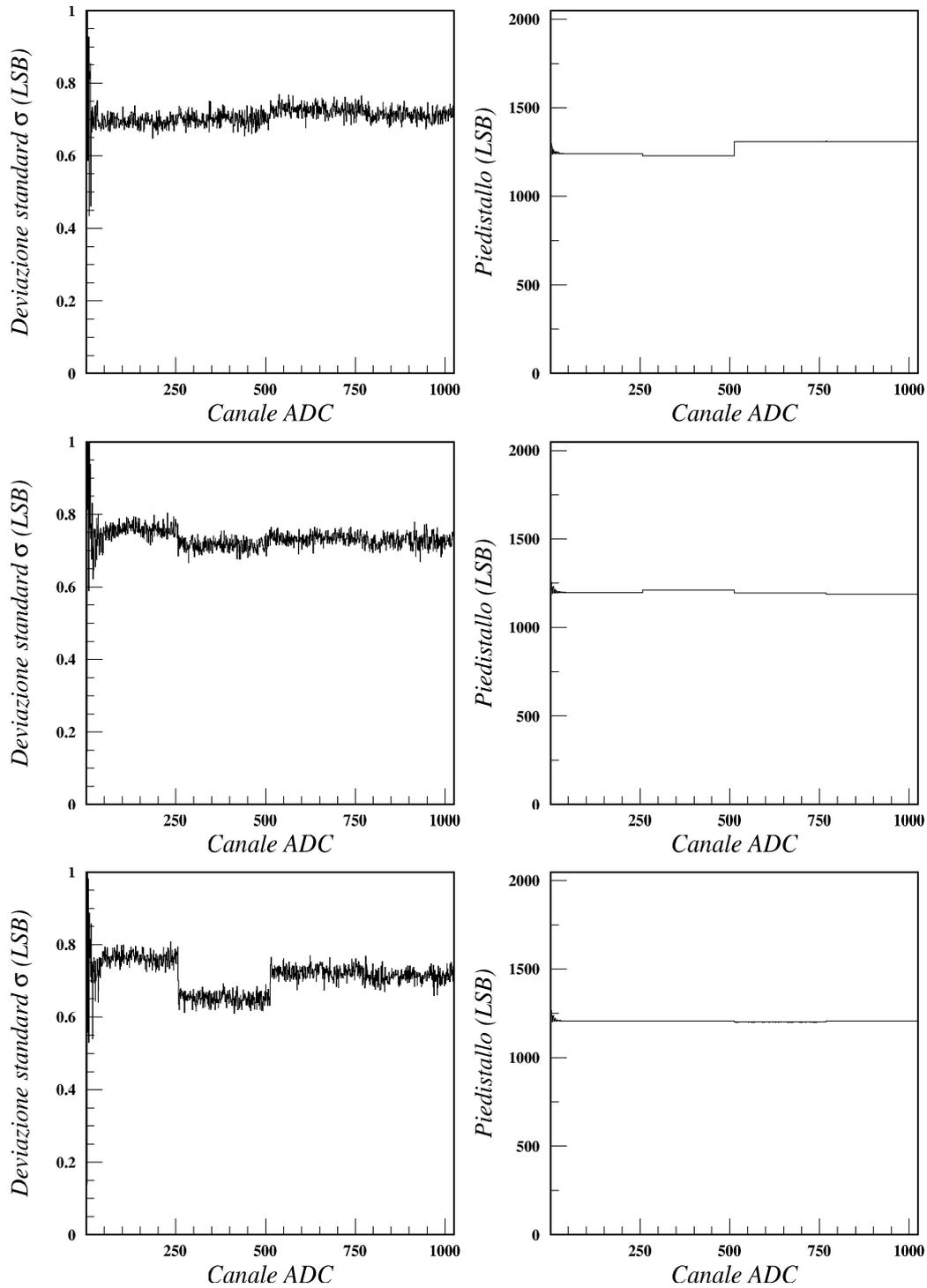


Figura 4.4: piedistalli e sigma per le 3 sezioni ADC di una scheda X senza collegamento con l'ibrido.

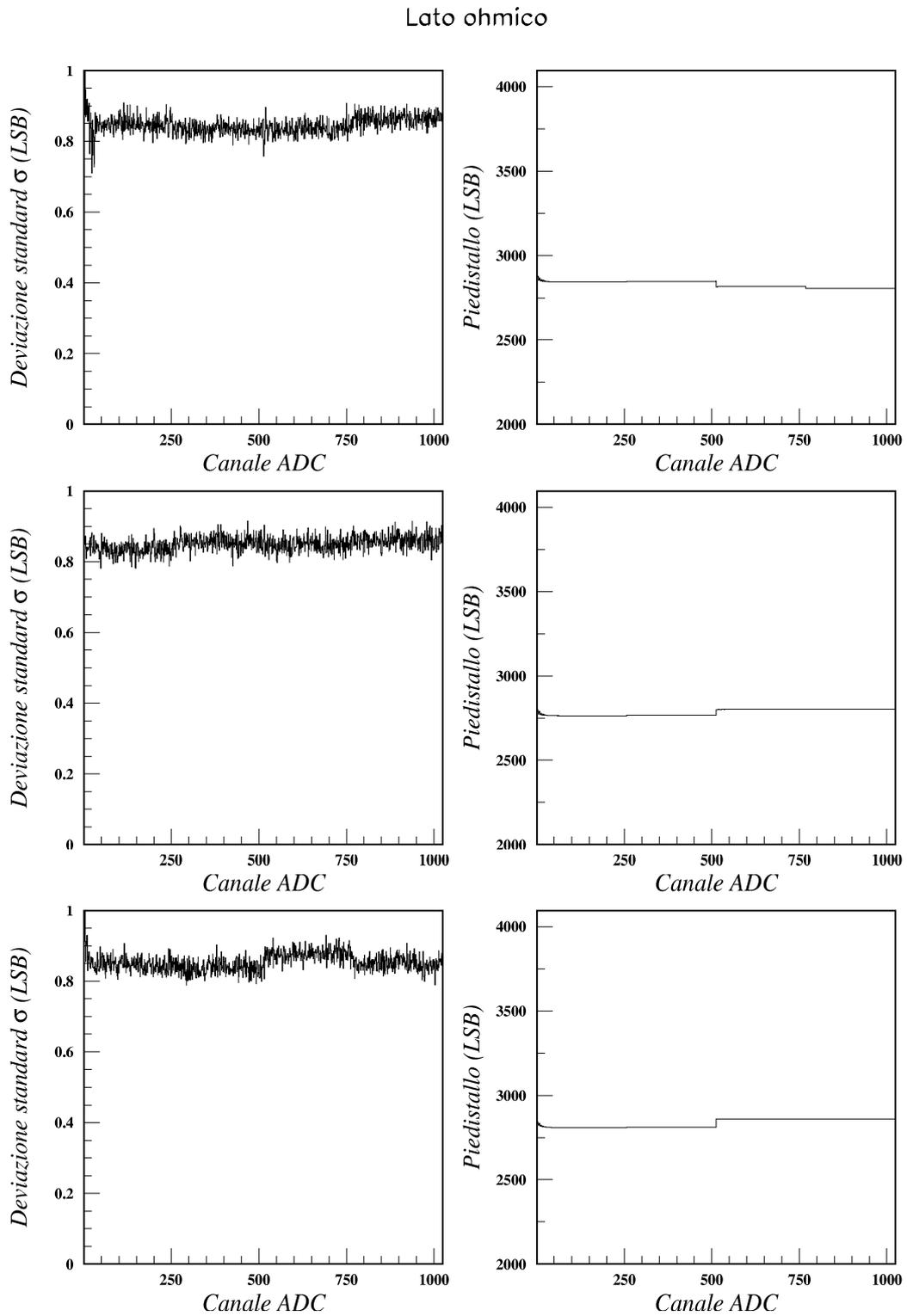


Figura 4.5: piedistalli e sigma per le 3 sezioni ADC di una scheda Y senza collegamento con l'ibrido.

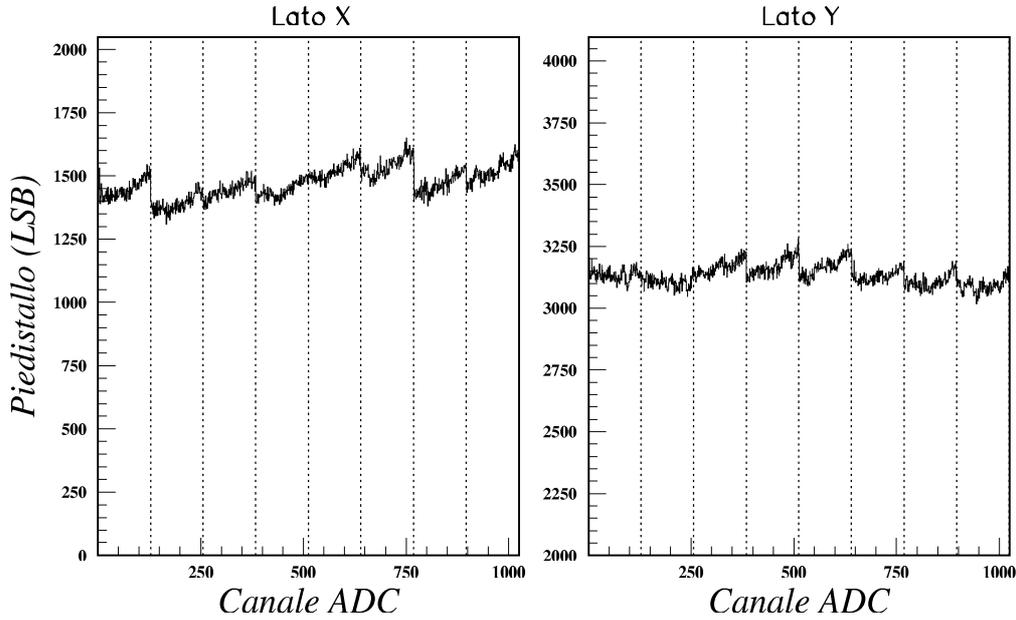


Figura 4.6: piedistalli per i lati X e Y di un *ladder* con solo ibrido. Le linee tratteggiate separano i canali appartenenti a VA1 distinti.

V_{REF} e V_{REF_SUM} ; anche le 4 distinte reti di amplificazione per ogni sezione sono ben distinguibili in figura.

Per quanto riguarda le sigma, il valore misurato in questa configurazione risulta $\sigma_{(1)} \sim 0.8 \text{ LSB}$ con variazioni dell'ordine di 0.1 LSB per le diverse reti di amplificazione. Ricordando la (4.15) possiamo scrivere $\sigma_{amp} = \sigma_{(1)} \sim 0.8 \text{ LSB}$.

2. In fig. 4.6 sono riportati i valori dei piedistalli misurati dopo aver collegato ad un ibrido una sezione della scheda ADC X ed una della scheda ADC Y precedentemente caratterizzate (configurazione 2).

Rispetto alla misura precedente si nota che il profilo della distribuzione è adesso frastagliato in quanto ogni canale del VA1 presenta un *offset* in genere diverso dagli altri; tali discontinuità sono in genere più accentuate al passaggio dal 128-esimo canale di un VA1 al primo canale del VA1 adiacente.

Le sigma ottenute in tale configurazione ($\sigma_{(2)}$) sono illustrate in fig. 4.7 e risultano mediamente 2 LSB , con variazioni da un canale all'altro dell'ordine di 0.1 LSB ; per la sezione Y si nota la presenza di alcuni canali estremamente rumorosi, corrispondenti a preamplificatori difettosi nei VA1.

In questa configurazione l'ibrido non è collegato ai sensori, per cui la capacità di carico

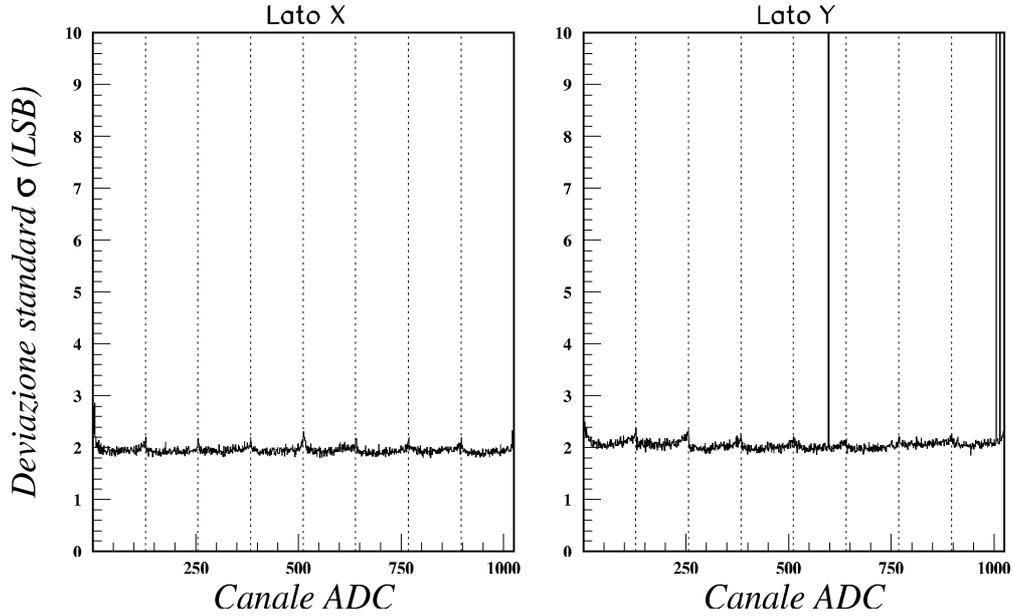


Figura 4.7: sigma per i lati X e Y di un *ladder* con solo ibrido.

vista da ciascun preamplificatore dei VA1 risulta $C_L \simeq 0$. Ricordando le eq. (4.15) e (4.16) possiamo scrivere:

$$\sigma_{(2)}^2 \simeq \sigma_{\text{amp}}^2 + \sigma_A^2 \quad (4.17)$$

con cui, utilizzando $\sigma_{(2)} \sim 2 \text{ LSB}$ e $\sigma_{\text{amp}} = \sigma_{(1)} \sim 0.8 \text{ LSB}$, si ottiene $\sigma_A \sim 1.8 \text{ LSB}$.

3. Abbiamo infine ripetuto la misura di piedistalli e sigma dopo che l'ibrido è stato incollato ad una coppia di sensori in modo da formare un *ladder* completo (configurazione 3); i risultati ottenuti sono riportati nelle figure 4.8 e 4.9.

La sigma misurate in tale configurazione ($\sigma_{(3)}$) risultano mediamente di 4.5 LSB per il lato X e di 10 LSB per il lato Y. L'incremento delle sigma rispetto alla configurazione precedente e la differenza di tale incremento per le due facce del *ladder* sono dovuti al fatto che adesso il rumore indotto dal VA1 include anche un contributo dovuto alla capacità C_L finita degli elettrodi presenti sui sensori; tale capacità risulta maggiore per il lato Y a causa del doppio livello di metallizzazione.

Ricordando le eq. (4.15) e (4.16) possiamo scrivere:

$$\sigma_{(3)}^2 = \sigma_{\text{amp}}^2 + (\sigma_A + \sigma_B C_L)^2 \quad (4.18)$$

Poiché conosciamo i valori di $\sigma_{(3)}$, σ_{amp} e σ_A (questi ultimi misurati precedentemente), è possibile, nota la capacità C_L , ottenere da tale equazione il valore di σ_B .

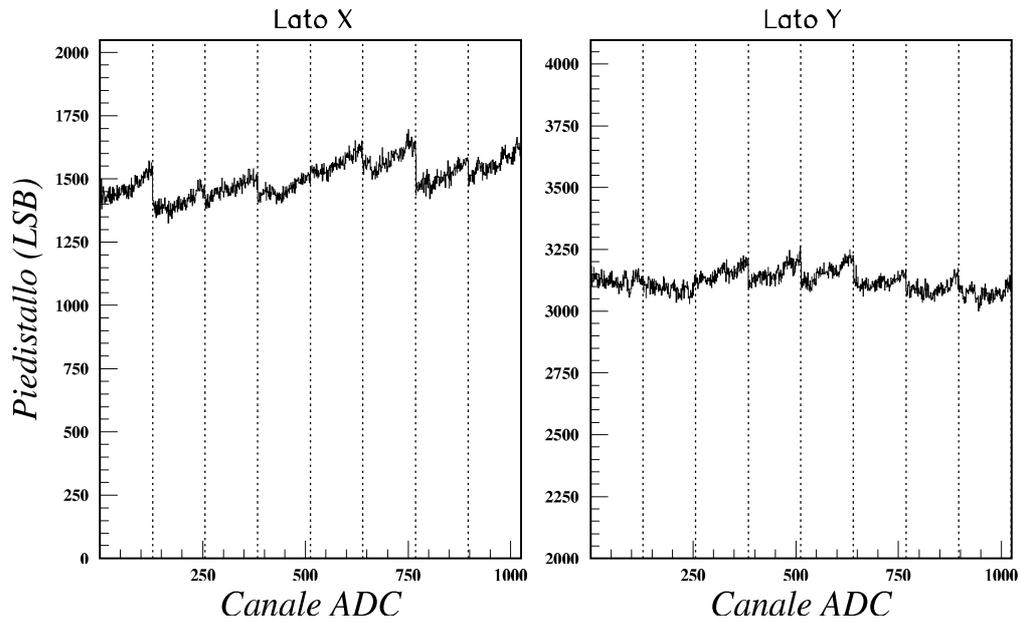


Figura 4.8: piedistalli per i lati X e Y di un *ladder* completo.

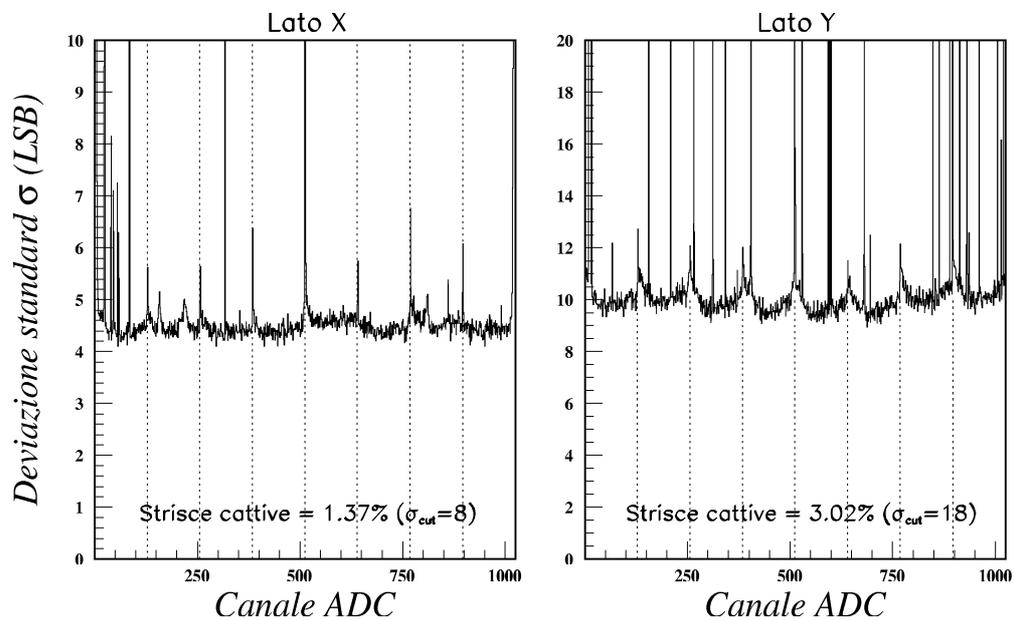


Figura 4.9: sigma per i lati X e Y di un *ladder* completo. Sono ben identificabili i canali difettosi (tipicamente il 2-4% del totale).

Il valore della capacità di carico C_L è stato misurato in altre occasioni solo per la

faccia X del *ladder* e risulta essere dell'ordine di 20 pF (ogni sensore contribuisce con 10 pF); utilizzando tale valore risulta $\sigma_B \sim 0.1 \text{ LSB/pF}$.

Con il valore ottenuto per σ_B è adesso possibile dare una stima della capacità di carico sul lato Y applicando nuovamente la (4.18): si ottiene $C_L^Y \sim 82 \text{ pF}$, in ragionevole accordo con quanto ci si potrebbe aspettare tenendo conto della doppia metallizzazione presente sul lato Y.

Dai risultati dell'analisi effettuata si ricava che la scelta per le schede ADC di dispositivi (amplificatori, interruttori, ADC) caratterizzati da bassa rumorosità ha permesso di rendere il rumore indotto da tale stadio di elettronica ($\sigma_{\text{amp}} \sim 0.8 \text{ LSB}$) trascurabile rispetto al contributo del VA1.

Infine tali misure confermano la bontà della scelta di un ADC a 12 bit in quanto come si è detto in sez. 4.2.2 l'errore nella misura introdotto dall'ADC risulta di circa 1 LSB e quindi ben più piccolo del rumore totale misurato per un *ladder* (4.5 LSB per il lato X, il meno rumoroso).

4.3 Acquisizione di eventi ionizzanti a terra

In questa ultima sezione verranno mostrati i risultati ottenuti su un piano del sistema tracciante completo di elettronica di primo e secondo stadio, in presenza di segnale dato dal passaggio di particelle ionizzanti^[5]. Le quantità significative per tale caratterizzazione sono il segnale, il rapporto segnale/rumore e la correlazione di carica, che saranno definite e misurate in quanto segue.

Configurazione sperimentale

Un piano completo del sistema tracciante (formato da 3 *ladder*) è stato connesso mediante cavi di kapton alla propria terna di schede di secondo stadio (2 schede ADC più la scheda di alimentazione). In tale configurazione si usa un prototipo di scheda DSP per la gestione di ciascuna scheda ADC (si ricorda che un prototipo di scheda DSP può gestire fino a 3 sezioni ADC).

Per consentire l'acquisizione di dati in sincronia con il passaggio, attraverso il piano, di particelle ionizzanti, è stato predisposto un sistema di *trigger* formato da due piani di scintillatore plastico a sezione rettangolare, posizionati al di sopra del piano di rivelazione in modo da coprirne gran parte dell'accettanza geometrica. Ciascuno scintillatore è dotato

⁵Le particelle ionizzanti che giungono a terra sono in prevalenza muoni (μ^\mp) al minimo di ionizzazione (MIP) originati in atmosfera dagli sciami conseguenti alle interazioni dei raggi cosmici primari.

di guida di luce e tubo fotomoltiplicatore, che fornisce un impulso di tensione con tempo di discesa di circa 5 ns. Gli impulsi dati dai due scintillatori sono usati in coincidenza per dare il segnale di *trigger* al modulo DSP.

Con tale configurazione sperimentale abbiamo acquisito un campione di eventi ionizzanti. L'acquisizione è stata ripetuta con combinazioni diverse di piani di rivelazione e schede ADC.

Algoritmo per la misura del segnale

Una volta acquisito un campione di eventi ionizzanti, è necessario riconoscere l'eventuale segnale dato dal passaggio della particella nel piano di rivelazione.

Il programma di analisi utilizzato si basa sulla conoscenza di piedistalli, sigma e strisce difettose del piano di rivelazione utilizzato. Pertanto, prima di iniziare l'acquisizione con la configurazione sperimentale sopra descritta, abbiamo acquisito per ciascun piano un campione di eventi di calibrazione con *trigger* dato da un impulsatore invece che dagli scintillatori; quindi, con il metodo descritto in sez. 4.2.3, abbiamo calcolato piedistalli e sigma e determinato le strisce difettose.

Di seguito viene descritta la struttura dell'algoritmo utilizzato per la determinazione del segnale dato dalle cariche di ionizzazione.

1. Per l'*n*-esimo evento e per la *k*-esima striscia letta dall'*i*-esimo VA1 viene definita la quantità $S_{ik}^{(n)}$ (che d'ora in avanti chiameremo segnale), come la somma del contributo delle cariche raccolte $s_{ik}^{(n)}$ e del rumore residuo dell'elettronica $R_{ik}^{(n)}$:

$$S_{ik}^{(n)} \equiv s_{ik}^{(n)} + R_{ik}^{(n)} \quad (4.19)$$

Ricordando la (4.6) il segnale viene calcolato utilizzando l'espressione:

$$S_{ik}^{(n)} = A_{ik}^{(n)} - P_{ik} - CMN_i^{(n)} \quad (4.20)$$

dove $CMN_i^{(n)}$ è dato dall'eq. (4.8).

2. Una volta calcolati i valori dei segnali su ogni striscia, si ricercano gruppi (*cluster*) di strisce contigue in cui $S_{ik}^{(n)}$ supera il fondo dovuto al rumore. Il primo passo consiste nell'individuare il "seme" del *cluster*: si cerca una striscia per cui

$$S_{ik}^{(n)} \lesseqgtr \mp C_1 \sigma_{ik} \quad (4.21)$$

dove le due condizioni, valide per il lato Y e X rispettivamente, tengono conto della diversa polarità dei segnali sulle due facce dei sensori. Dopo aver individuato il

“seme”, il *cluster* viene formato con tutte le strisce adiacenti per le quali:

$$S_{ik}^{(n)} \leq \mp C_2 \sigma_{ik} \quad (4.22)$$

dove $C_2 < C_1$ in modo da includere anche strisce che partecipano alla raccolta della carica con minor peso rispetto al “seme”.

3. Il *cluster* viene accettato solo se soddisfa le due condizioni seguenti:

- il “seme” e le due strisce adiacenti non sono difettose, in modo da escludere *cluster* per cui una parte significativa dell’informazione è andata persa;
- il segnale totale del *cluster* supera un ulteriore valore di taglio $T_{cluster}$, per eliminare i *cluster* spuri, dovuti al rumore dell’elettronica, che superano il primo taglio C_1 .

Al termine di tale procedura sono stati selezionati gli eventi per cui è stato individuato e accettato un solo *cluster* sulla faccia X e/o un solo *cluster* sulla faccia Y. Tali eventi sono stati utilizzati successivamente per lo studio delle prestazioni del sistema di rivelazione.

4.3.1 Segnale del *cluster*

La creazione di coppie e^- /lacuna nel silicio, da parte di una particella ionizzante, è affetta da fluttuazioni statistiche intrinseche. La distribuzione della carica creata in uno strato sottile di Si, quale quello dei sensori da noi utilizzati (spessore di circa $300\mu\text{m}$), è in prima approssimazione rappresentata dalla distribuzione di Landau, che descrive la perdita di energia ΔE di particelle cariche ultrarelativistiche in spessori sottili. L’equazione che esprime tale distribuzione è:

$$f = \frac{A}{\sqrt{2\pi} \xi} e^{-\frac{1}{2}(\lambda + e^{-\lambda})}, \quad \text{con} \quad \lambda = \frac{\Delta E - \Delta E_{mp}}{\xi}.$$

ξ è una costante che dipende solo dal tipo di materiale attraversato; ΔE_{mp} rappresenta il valore più probabile della perdita di energia.

Considerando l’evento n-esimo con presenza di un *cluster*, si definisce il segnale totale del *cluster* come:

$$S^{(n)} \equiv \sum_{cluster} S_{ik}^{(n)} \quad (4.23)$$

Tale quantità è proporzionale al numero di coppie generate dal passaggio della particella ionizzante.

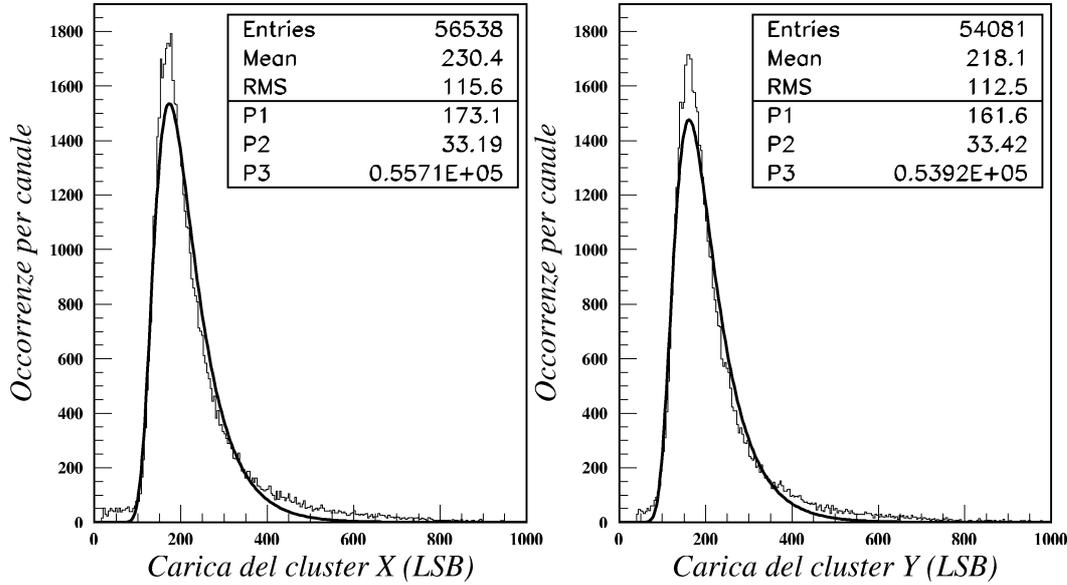


Figura 4.10: distribuzione del segnale totale dei *cluster* (in LSB) sul lato X e Y di un piano di rivelazione. La curva sovrapposta ai dati è data dalla funzione di Landau.

La fig. 4.10 mostra le distribuzioni dei segnali totali dei *cluster* sulle due facce di un piano del sistema tracciante.

Il valor medio del segnale (*mean* in figura) risulta 230.4 ± 0.5 LSB per la faccia X e 218.1 ± 0.5 LSB per la faccia Y del piano considerato.

Queste due distribuzioni sono state interpolate con funzioni di Landau. I tre parametri (P1,P2,P3), forniti dall'adattamento insieme alla curva in figura, corrispondono rispettivamente a ΔE_{mp} , a ξ e all'area totale sotto la curva.

Il numero di *cluster* accettati (*entries* in figura) risulta in genere diverso per le due facce sia perché la percentuale di strisce difettose è diversa sui due lati, sia perché i valori di taglio utilizzati dall'algoritmo di identificazione nelle (4.21) e (4.22) per rigettare il rumore sono proporzionali al rumore delle strisce; in particolare essendo la faccia Y più rumorosa i valori di taglio risultano più alti ed una parte maggiore dei segnali di particella vengono rigettati.

4.3.2 Correlazione di carica

Consideriamo un evento corrispondente al passaggio di una sola particella ionizzante. Poiché e^- e lacune sono prodotti a coppie, e data la proporzionalità per entrambe le facce

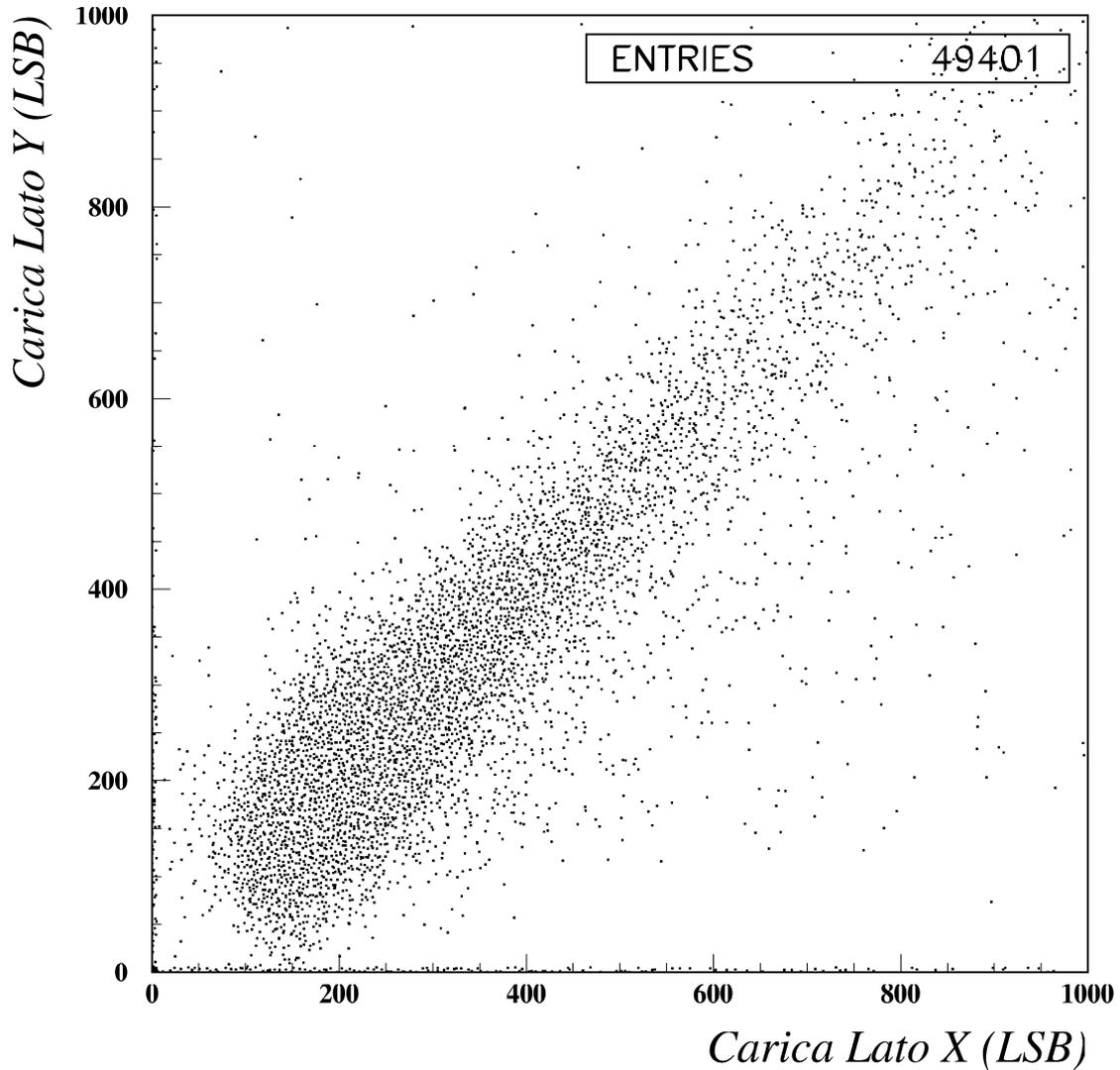


Figura 4.11: distribuzione nel piano $(S_X^{(n)}, S_Y^{(n)})$ per gli eventi con un solo *cluster* per ogni faccia.

del rivelatore fra il segnale totale del *cluster* e la carica creata dalla particella ionizzante, ci si aspetta che i segnali $S_X^{(n)}$ e $S_Y^{(n)}$ misurati siano correlati linearmente.

La fig. 4.11 mostra la distribuzione nel piano $(S_X^{(n)}, S_Y^{(n)})$ per un campione di eventi selezionato richiedendo la presenza di uno e un solo *cluster* sia sulla faccia X che su quella Y.

Come si osserva i punti nel piano $(S_X^{(n)}, S_Y^{(n)})$ corrispondenti agli eventi selezionati sono addensati lungo una retta passante per l'origine. Distribuzioni analoghe sono state ricavate anche per altri piani.

Lo studio di tale distribuzione può essere usato per introdurre un ulteriore taglio che

permette di identificare e rigettare *cluster* spuri dovuti al rumore. Tali eventi si discostano infatti dalla fascia centrale maggiormente popolata e sono visibili in fig. 4.11.

4.3.3 Rapporto segnale/rumore

Per la determinazione delle coordinate X e Y di incidenza di una particella ionizzante in un piano di rivelazione viene utilizzata una procedura che analizza la distribuzione del segnale nelle strisce del *cluster* e che non verrà qui descritta (per una trattazione estesa ved. ad es. [17] cap. 4).

Ciò che ci interessa è il fatto che il contributo del rumore dell'elettronica all'incertezza nella determinazione di tali coordinate è legato al rapporto segnale/rumore, definito per l'evento n-esimo come il rapporto fra il segnale totale del *cluster*, dato dalla (4.23), e la sigma media del VA1 a cui appartiene il *cluster* di strisce (eq. 4.12):

$$(S/N)^{(n)} \equiv \frac{S^{(n)}}{\bar{\sigma}_i} \quad (4.24)$$

In fig. 4.12 è riportata la distribuzione del rapporto segnale/rumore ottenuta per un piano di rivelazione. Distribuzioni analoghe sono state trovate per gli altri piani sottoposti a misura.

Si nota che il valore medio del rapporto segnale/rumore (*mean* in figura) risulta maggiore per la faccia X (56.2 ± 0.1) rispetto alla faccia Y (26.43 ± 0.06); ciò è dovuto alla minore rumorosità della faccia X, che presenta una minore capacità di carico verso l'ingresso del VA1.

4.3.4 Caratterizzazione del VA1 nella configurazione operativa di PAMELA

Dai risultati riportati e discussi finora è possibile ricavare alcuni parametri caratteristici della risposta del VA1.

Ricordando i valori medi dei segnali dati dagli eventi ionizzanti trovati in sez. 4.3.1 per le due facce del rivelatore, e calcolando la media di tali valori, si ottiene un segnale medio di $\simeq 224$ LSB. Tale segnale è dovuto a muoni al minimo di ionizzazione (MIP) di cui è noto il rilascio di coppie e^- /lacuna nel Si: in $300\mu\text{m}$ di rivelatore una MIP crea mediamente una carica di 4.6 fC, che viene raccolta dal preamplificatore d'ingresso del VA1 con efficienza di $\sim 100\%$

È quindi possibile misurare il guadagno in tensione del VA1 (espresso in mV/fC) determinando il segnale in uscita dal VA1 che corrisponde a 224 LSB.

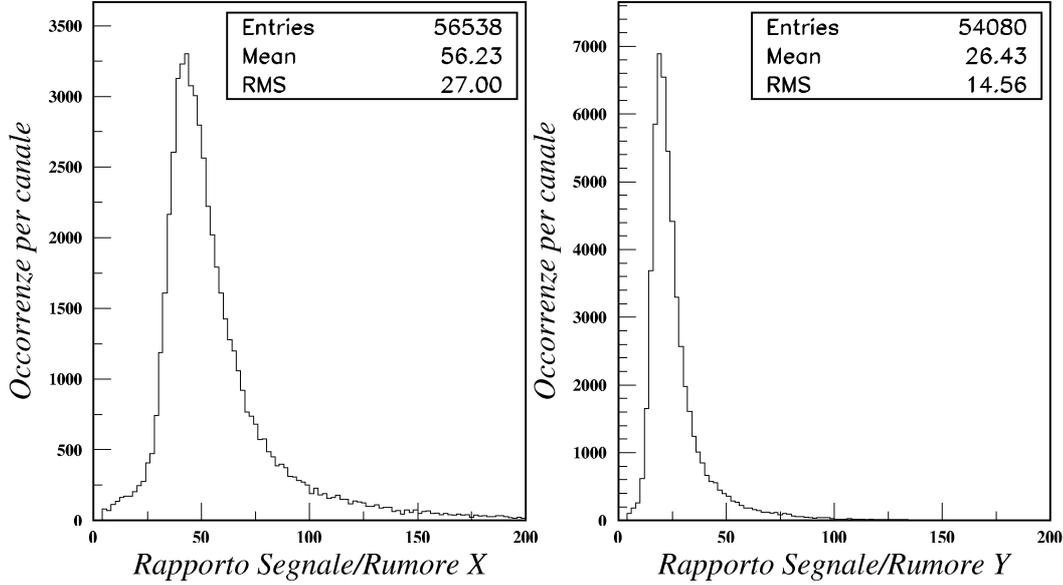


Figura 4.12: distribuzione del rapporto segnale/rumore dei *cluster* per i lati X e Y di un piano di rivelazione.

Ricordando che il fattore di conversione del nostro ADC a 12 bit, alimentato a 3.3 V, è $\simeq 0.8$ mV/LSB e che il fattore di amplificazione della rete descritta in sez. 4.2.1 è $\simeq 5.6$, il segnale in uscita del VA1 corrispondente a una MIP risulta mediamente $\simeq 32$ mV, da cui si ricava un guadagno in tensione di $\simeq 7.0$ mV/fC.

Con il valore del guadagno così calcolato, è possibile riesprimere le costanti caratteristiche del rumore del VA1, σ_A e σ_B (definite nella (4.16)), in termini della carica integrata dal preamplificatore; il rumore del VA1 così espresso è comunemente indicato come carica di rumore equivalente (ENC).

Ricordando i valori determinati in sez. 4.2.3 ($\sigma_A \sim 1.8$ LSB, $\sigma_B \sim 0.1$ LSB/pF) e svolgendo i calcoli si trova:

$$\text{ENC} \simeq 232e^- + 13 \frac{e^-}{\text{pF}} C_L$$

dove e^- è la carica elettronica.

I valori tipici del guadagno e del rumore in termini di ENC per il VA1, in condizioni di lavoro ottimali, sono specificati dal costruttore: per il tempo di formazione del segnale utilizzato nella nostra configurazione ($1 \mu\text{s}$) vengono indicati un guadagno di 12.5 mV/fC e una ENC di $180e^- + 7.5 \frac{e^-}{\text{pF}} C_L$.

La discrepanza fra questi valori e i valori da noi misurati è giustificabile con la scelta

di un punto di lavoro diverso da quello ottimale indicato dal costruttore, scelta che ha permesso di limitare il consumo del VA1 a 128 mW, rispetto ai 170 mW dichiarati per la configurazione indicata dal costruttore. La riduzione della potenza assorbita dal VA1 si è resa necessaria a causa dei limiti imposti al consumo dell'elettronica di PAMELA dal fatto di trovarsi a bordo di satellite.

Bibliografia

- [1] http://wizard.roma2.infn.it/pamela/fram_des.htm
- [2] <http://hep.fi.infn.it/PAMELA>
- [3] W.R. Webber, M.S. Potgieter, *Astroph. Jour.* **344**, 779 (1989).
- [4] R.J. Protheroe, *Astroph. Jour.* **254**, 391 (1982).
- [5] (CAPRICE98) M. Boezio et al., preprint astro-ph 0103513, submitted to *Astroph. Jour.* (2001).
- (CAPRICE94) M. Boezio et al., *Astroph. Jour.* **487**, 415 (1997).
- (MASS2) G. Basini et al., Proceedings of XXVI ICRC, Salt Lake City, OG.1.1.21 (1999).
- (BESS95+97) S. Orito et al., *Phys. Rev. Lett.* **84**, 1078 (2000).
- (IMAX92) J. Mitchell et al., *Phys. Rev. Lett.* **76**, 3057 (1996).
- (Bogomolov et al. '87) E.A. Bogomolov, Proceedings of XX ICRC, Moscow, **2**, 72 (1987).
- (Bogomolov et al. '90) E.A. Bogomolov, Proceedings of XXI ICRC, Adelaide, **3**, 288 (1990).
- (Golden et al.) R.L. Golden et al., *Astroph. Jour.* **24**, 75 (1984).
- [6] (CAPRICE98) M. Boezio et al., Proceedings of XXVI ICRC, Salt Lake City, OG.1.1.16 (1999).
- (CAPRICE94) M. Boezio et al., *Astroph. Jour.* **532**, 653 (2000).
- (TS93) R.L. Golden et al., *Astroph. Jour.* **457**, L103 (1996).
- (MASS2) G. Basini et al., Proceedings of XXIV ICRC, Rome, OG.7.1.1 (1995).
- (MASS1) R.L. Golden et al., *Astroph. Jour.* **436**, 769 (1994).

- (Clem et al.) J.M. Clem et al., *Astroph. Jour.* **464**, 507 (1996).
- (HEAT) S.W. Barwick et al., *Astroph. Jour.* **482**, L191 (1997).
- (Fanselow et al.) J. Fanselow et al., *Astroph. Jour.* **158**, 771 (1969).
- (Daugherty et al.) J.K. Daugherty et al., *Astroph. Jour.* **198**, 493 (1975).
- (Golden et al.) R.L. Golden, *Astr. and Astroph.* **188**, 145 (1987).
- (Muller et al.) D. Müller et al., *Proceedings of XXI ICRC, Adelaide*, **3**, 249 (1987).
- [7] M. Sasaki et al., *A search for antihelium with the BESS spectrometer, Proceedings of ICRC 2001*
- [8] <http://www.ideas.no>
- [9] G. J. Deboo, *Integrated circuits and semiconductor devices: theory and application*, McGraw-Hill (1997), p.371 e seg.
- [10] <http://www.analog.com>
- [11] <http://www.national.com>
- [12] <http://www.actel.com>
- [13] <http://www.altera.com>
- [14] <http://www.quicklogic.com>
- [15] <http://crsp3.nrl.navy.mil/creme96>
- [16] J. Doernberg e D. A. Hodges, *Full-Speed Testing of A/D Converters*, *IEEE Journal of Solid State Circuits*, vol.SC-19, n.6 (10/1984)
- [17] E. Vannuccini, Prototipo del sistema tracciante per l'esperimento PAMELA su satellite: ottimizzazione del sistema e sue prestazioni, Tesi di Laurea in Fisica, Università degli Studi di Firenze (19/10/1998). Reperibile presso <http://hep.fi.infn.it/PAMELA/tesi/tesi.html>
- [18] J. Blair, *Histogram Measurement of ADC Nonlinearities Using Sine Waves*, *IEEE Trans. on Instr. and Meas.*, vol.43, n.3 (6/1994)
- [19] M. F. Wagdy e S. S. Awad, *Determining ADC Effective Number of Bits Via Histogram Testing*, *IEEE Trans. on Instr. and Meas.*, vol.40, n.4 (8/1991)

[20] <http://www.hp.com>

[21] <http://www.gsi.de>

[22] E. Petersen, *Cross Section Measurements and Upset Rate Calculations*, IEEE *Trans. on Nucl. Sc.*, vol.43, n.6 (12/1996)

[23] E. Katz et al., *Radiation Effects on Current Field Programmable Technologies*, IEEE *Trans. on Nucl. Sc.*, vol.44, n.6 (12/1997)

[24] Z. Navabi, *VHDL. Analysis and Modeling of Digital Systems*, McGraw-Hill (1993)